

8ビットシリアル - パラレル変換 IC

■ 概要

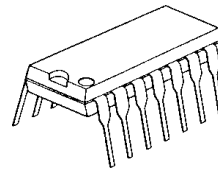
NJU3711 は、8ビットのシリアルデータをパラレルに変換するシリパラ変換用 IC で、MPU の出力ポート拡張器として最適です。

MPU との接続は 4 本の信号線で可能で、MPU の出力ポートを有効に使用することが可能です。

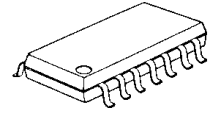
DATA 端子からのシリアル入力は 5MHz まで動作可能で、入力されたデータはシリアル入力パラレル出力のシフトレジスタ、パラレルデータラッチ回路及び、出力ドライバを介し出力されます。

入力回路にはシュミット回路を用いた事によりノイズに強く、また出力回路は各々 25mA の駆動能力を持っていることにより、LED の駆動その他に幅広く応用できます。

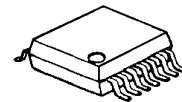
■ 外形



NJU3711D



NJU3711M

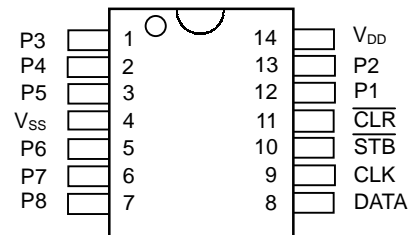


NJU3711V

■ 特徴

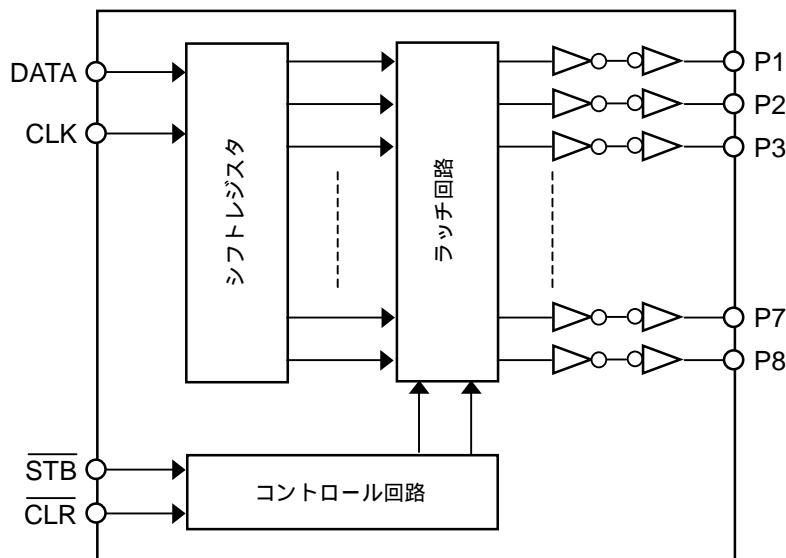
- 8ビットシリアル入力パラレル出力
- ヒステリシス入力 typ.0.5V
- 動作電源電圧 5V ± 10%
- 動作周波数 5MHz 以上
- 出力電流 25mA
- C-MOS 構造
- 外形 DIP14/DMP14/SSOP14

■ 端子配列



NJU3711D/M/V

■ ブロック図



■ 端子説明

No.	記号	I/O	機能
1	P3	0	パラレル変換データ出力端子
2	P4	0	
3	P5	0	
4	V _{SS}	-	GND
5	P6	0	パラレル変換データ出力端子
6	P7	0	
7	P8	0	
8	DATA	I	シリアルデータ入力端子
9	CLK	I	クロック信号入力端子
10	STB	I	ストロブ信号入力端子
11	CLR	I	クリアー信号入力端子
12	P1	0	パラレル変換データ出力端子
13	P2	0	
14	V _{DD}	-	電源接続端子 (4.5 ~ 5.5V)

■ 機能説明

リセット

CLR 端子を“L”に設定すると全てのラッチがリセットされ、全てのパラレル出力は“L”となります。

CLR 端子は通常“H”の設定とします。



データ転送

STB 端子を“H”に設定し、CLK 端子に与えるクロックの立上りに同期して、DATA 端子に入力されるシリアルデータが順次シフトレジスタに取り込まれます。

必要なシリアルデータが取り込まれた後 STB 端子を“L”にする事により、その時のシフトレジスタの内容がラッチ回路に転送されます。

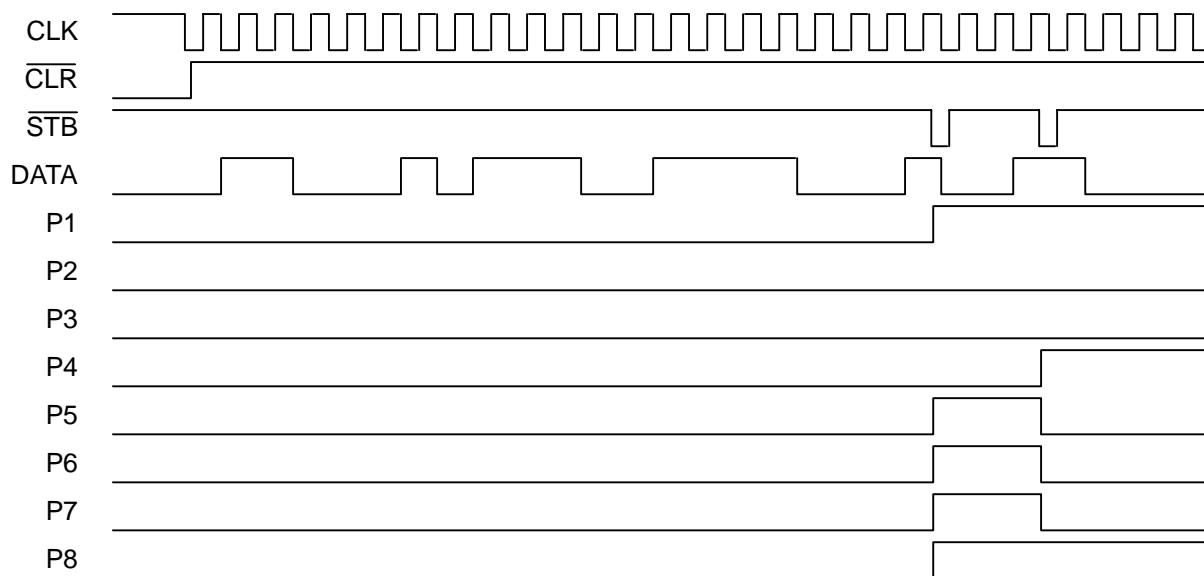
なお、STB 端子が“L”の状態 CLK 端子よりクロックを入力しますと、シフトレジスタのデータが順次シフトしますので、クロック信号には気をつける必要があります。

また、入力の 4 端子にはノイズ対策の為にシュミット・トリガー構造を採用し、ヒステリシスを持たせています。

CLK	STB	CLR	動作内容
X	X	L	ラッチ回路の内容が全てリセットされ(シフトレジスタの内容は変化しません)、パラレル出力は全て“L”となります。
	H	H	DATA 端子のシリアルデータがシフトレジスタに取り込まれます。この時、ラッチ回路の内容は変化しません。
L	L	H	シフトレジスタの内容がラッチ回路に転送され、ラッチ回路の内容がパラレル出力から出力されます。
H			
			STB=“L”、CLR=“H”の状態 CLK が入力されると、シフトレジスタの内容がシフトし、これに従ってラッチ回路の内容も換わります。

(注1) X : Don't care

■ タイムチャート



■ 絶対最大定格

(Ta=25)

項目	記号	定 格	単 位
電源電圧範囲	V _{DD}	-0.5 ~ +7.0	V
入力電圧範囲	V _I	V _{SS} -0.5 ~ V _{DD} +0.5	V
出力電圧範囲	V _O	V _{SS} -0.5 ~ V _{DD} +0.5	V
出力電流	I _O	± 25	mA
出力短絡電流 (P1 ~ P8 端子) (注5)	I _{OSD}	V _O =7V, V _I =0V	20 (max)
		V _O =0V, V _I =7V	-20 (max)
許容損失	P _D	700 (DIP) 300 (DMP) 300 (SSOP)	mW
動作温度範囲	Topr	-25 ~ +85	°C
保存温度範囲	Tstg	-65 ~ +150	°C

(注2) 電圧は全て V_{SS}=0V を基準とした値です。

(注3) 絶対最大定格を超えて IC を使用した場合、IC の永久破壊となることがあります。また、通常動作では電気的特性の条件で使用することが望ましく、この条件を超えると IC の誤動作の原因になると共に、IC の信頼性に悪影響を及ぼすことがあります。

(注4) 安定して動作させるために、V_{DD}-V_{SS}間にデカップリングコンデンサを挿入してください。

(注5) 1 端子 1 秒間、V_{DD}=7V、V_{SS}=0V。

■ DC 電気的特性

(特記無き場合 V_{DD}=4.5 ~ 5.5V , V_{SS}=0V , Ta=25)

項目	記号	条 件	MIN	TYP	MAX	単位
動作電源電圧	V _{DD}		4.5	-	5.5	V
電源電流	I _{DD}	V _{IH} =V _{DD} , V _{IL} =V _{SS}	-	-	0.1	mA
高レベル入力電圧	V _{IH}		0.7V _{DD}	-	V _{DD}	V
低レベル入力電圧	V _{IL}		V _{SS}	-	0.3V _{DD}	V
入力リーク電流	I _{LI}	V _I =0 ~ V _{DD}	-10	-	10	uA
高レベル出力電圧 (注6)	V _{OHD}	I _{OH} =-25mA	P1 ~ P8 端子		V _{DD} -1.5	V _{DD}
		I _{OH} =-15mA			V _{DD} -1.0	
		I _{OH} =-10mA			V _{DD} -0.5	
低レベル出力電圧 (注6)	V _{OLD}	I _{OL} =+25mA	P1 ~ P8 端子		V _{SS}	1.5
		I _{OL} =+15mA			V _{SS}	
		I _{OL} =+10mA			V _{SS}	

(注6) 条件中の電流値は、1 端子に対する規定であり、使用時に許容損失を超えない事。

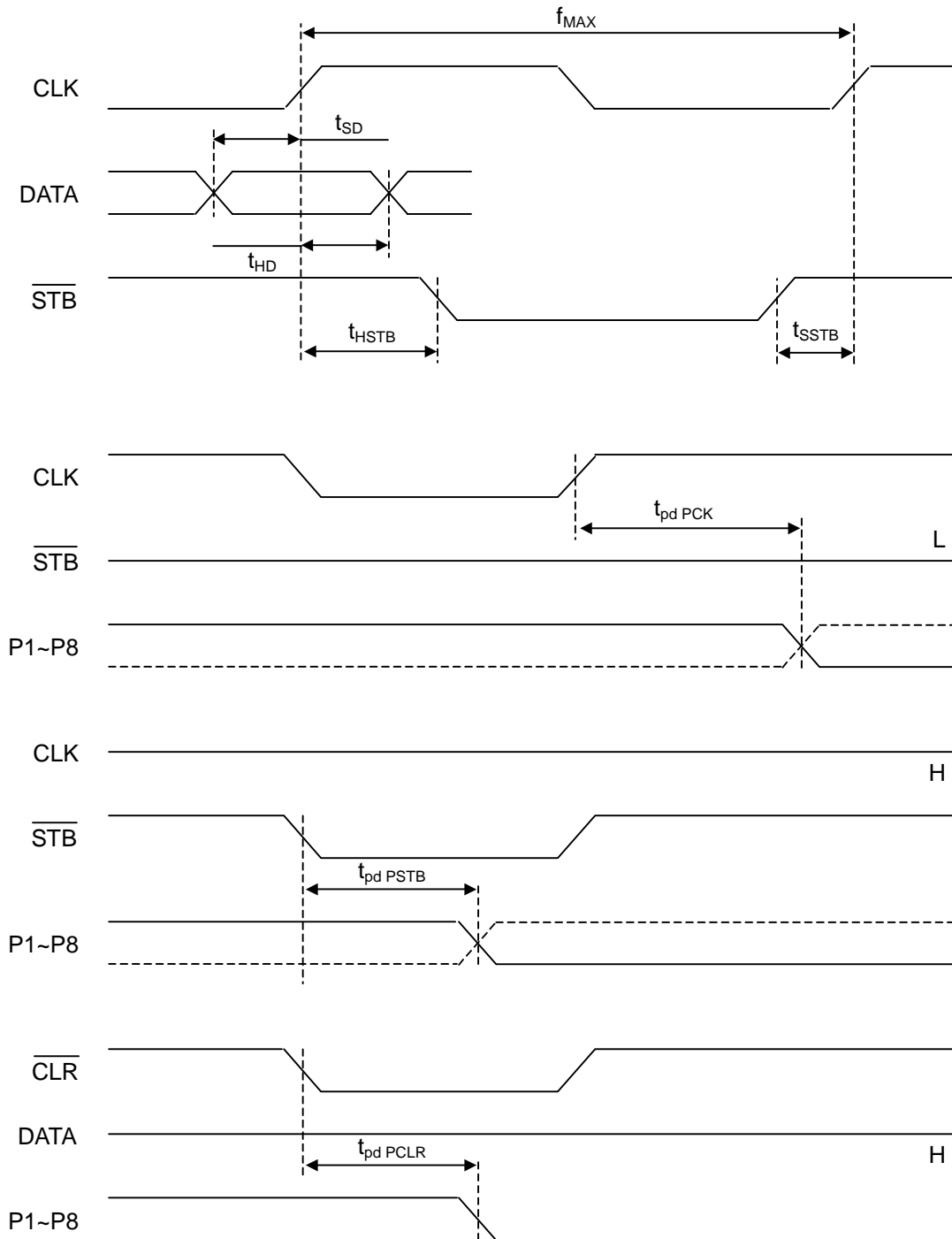
■ スイッチング特性

(特記無き場合 $V_{DD}=4.5 \sim 5.5V$, $V_{SS}=0V$, $T_a=25$)

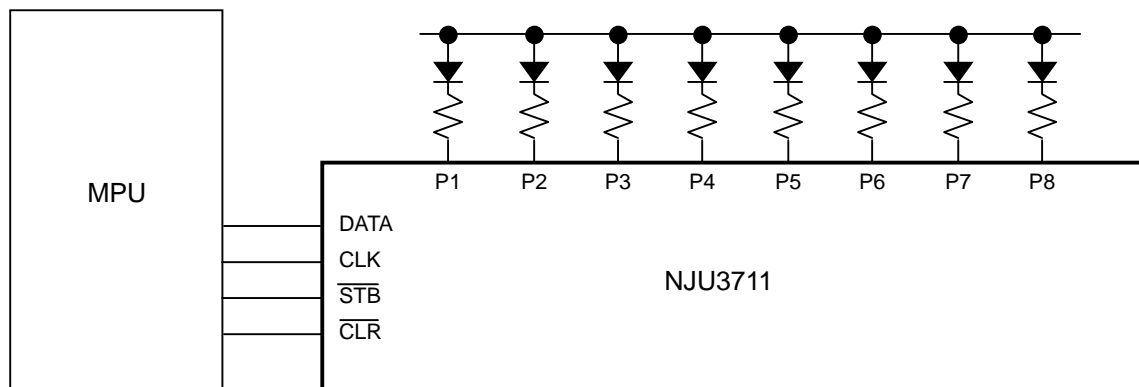
項目	記号	条件	MIN	TYP	MAX	単位
セットアップ時間	t_{SD}	DATA-CLK	20	-	-	ns
ホールド時間	t_{HD}	CLK-DATA	20	-	-	ns
セットアップ時間	t_{SSTB}	\overline{STB} -CLK	30	-	-	ns
ホールド時間	t_{HSTB}	CLK- \overline{STB}	30	-	-	ns
出力遅延時間	$t_{pd\ PCK}$	CLK-P1 ~ P8	-	-	100	ns
	$t_{pd\ PSTB}$	\overline{STB} -P1 ~ P8	-	-	80	ns
	$t_{pd\ PCLR}$	\overline{CLR} -P1 ~ P8	-	-	80	ns
最大動作周波数	f_{MAX}		5	-	-	MHz

(注7) $C_{OUT}=50pF$ 。

■ スイッチング特性測定波形



■ 応用回路例



<注意事項>

このデータブックの掲載内容の正確さには万全を期しておりますが、掲載内容について何らかの法的な保証を行うものではありません。とくに応用回路については、製品の代表的な応用例を説明するためのものです。また、工業所有権その他の権利の実施権の許諾を伴うものではなく、第三者の権利を侵害しないことを保証するものでもありません。