

PRODUCT SPECIFICATION

納入仕様書

MODEL NAME

型名: NS73M-61LU-0101

RECEPTION STAMP
御客様受領印

Please return two copy after stamping your acceptance sign on this product specification. When there is no return within two months from the date of the issue, this product specification will be regarded as accepted.

お手数ですが、当納入仕様書に貴社受領印を押印の上、2部を当社へご返却下さい。
発行年月日より2ヶ月間以内にご返却いただけない場合、当納入仕様書は受領されたものとさせていただきます。

新潟精密(株) NIIGATA SEIMITSU Co., Ltd.	発行年月日 DATE	2006.Jan.6
承認 APPROVED	調査 CHECKED	作成 DRAWN

CONTENTS; 目次

1. SCOPE ; 適用.....	4
2. MODEL NAME ; 型名.....	4
3. BLOCK DIAGRAM ; ブロック図.....	4
4. ABSOLUTE MAXIMUM SPECIFICATION ; 絶対最大定格.....	4
5. ELECTRICAL SPECIFICATION; 電氣的仕様.....	5
6. ELECTRICAL CHARACTERISTICS; 電氣的特性.....	5
6.1. Standard Test Condition; 標準試験条件.....	5
6.2. Circuit of Measurement; 測定用接続図.....	6
6.3. Electrical Characteristics Item; 電氣的特性項目.....	7
7. SERIAL INTERFACE; シリアルインターフェース.....	8
7.1. 3-wire bus Mode; 3線シリアル方式.....	8
7.2. I ² C bus Mode; I ² C方式.....	10
7.2.1. I ² C-bus Terminology; I ² Cで使用される用語.....	10
7.2.2. START Condition and STOP Condition; 「スタート」条件と「ストップ」条件.....	10
7.2.3. Data Transfer; データ転送.....	11
7.2.4. Acknowledge; アクノリッジ(受信確認).....	12
7.2.5. Electrical Specification and Timing for I/O Stages.....	13
7.2.6. Definition of Bits in a Byte; 1バイト内の各ビット定義.....	14
7.2.7. Command Format; コマンドフォーマット.....	15
8. SOFTWARE CONTROL SPECIFICATION; ソフトウェア制御仕様.....	16
8.1. Register Settings(outline); レジスタ設定(概要).....	16
8.2. Standard Clock; 基準クロック.....	16
8.3. Muting.....	16
8.4. Reset for Serial Interface.....	16
8.5. PLL Setting Method; PLL(レジスタ)設定方法.....	17
8.6. Register Map; レジスタマップ.....	18
8.7. Controller basic operation routines.....	21
9. RELIABILITY TEST CONDITIONS; 信頼性試験項目.....	23

10. PBFREE SOLDER REFLOW PROFILE; 鉛フリー・リフロープロファイル.....	23
11. OUTER DIMENSION AND TERMINALS FOR CONNECTION; 外形寸法及び外部接続端子.....	24
12. MARKING; 表示.....	25
13. ASSIGNMENT OF PINS; ピン配置.....	26
14. RECOMMENDED FOOT PATTERN; 推奨フットパターン.....	26
15. APPLICATION CIRCUIT ; 応用回路.....	27
16. APPEARANCE SPECIFICATION; 外観規格.....	28
16.1. Marking; 表示.....	28
16.2. Shield Case; シールドケース.....	28
16.3. Base; 基板.....	28
17. NOTES OF USE ; 使用上の注意事項.....	29
17.1. Notes of designing the board.; 設計時の注意事項.....	29
17.2. Notes of assembling; 実装上の注意事項.....	29
17.3. Notes of usage conditions; 取り扱い時の注意事項.....	29
17.4. Notes of storage; 保管上の注意事項.....	30
17.5. Notes of others; その他の注意事項.....	30
18. REVISION; 改訂履歴.....	31

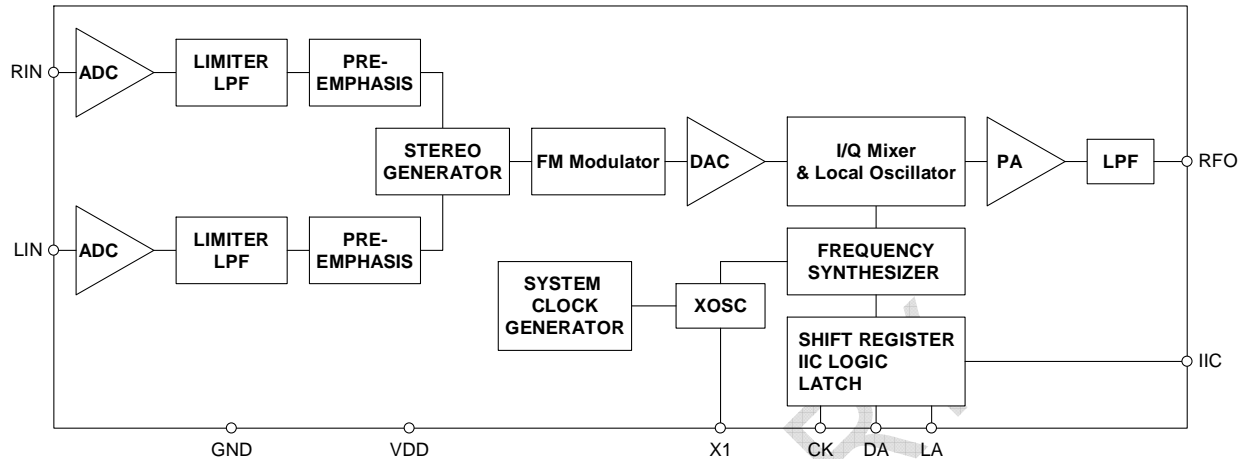
1. Scope ; 適用

This specification applies to the FM STEREO TRANSMITTER module: NS73M-61LU-0101.

2. Model Name ; 型名

NS73M-61LU-0101

3. Block Diagram ; ブロック図



4. Absolute Maximum Specification ; 絶対最大定格

No.	ITEM 項目	MIN. 最小値	MAX. 最大値	UNIT 単位
1	Maximum supply voltage 最大電源電圧	-0.3	3.7	V
2	Maximum input voltage 最大入力電圧	-0.3	VDD+0.3	V
3	Storage temperature 保存温度	-30	+80	degC
4	Storage humidity 保存湿度	45	85	%RH

Note: Refrain from dew condensation; 結露無きこと

5. Electrical Specification; 電氣的仕様

No.	ITEM 項目	SPECIFICATION 仕様
1	Type	FM Stereo Transmitter with frequency synthesizer
2	FM Modulation	I/Q Modulation with 304kHz offset
3	Offset frequency from local oscillation frequency	-304kHz
4	Transmission frequency range	87.5 - 108.0 MHz
5	Antenna impedance アンテナインピーダンス	50-ohm
6	Operating supply voltage 動作電源電圧	DC +2.7V to + 3.6V
7	Operating Temperature 動作温度範囲	-20degC to +75degC

6. Electrical Characteristics; 電氣的特性

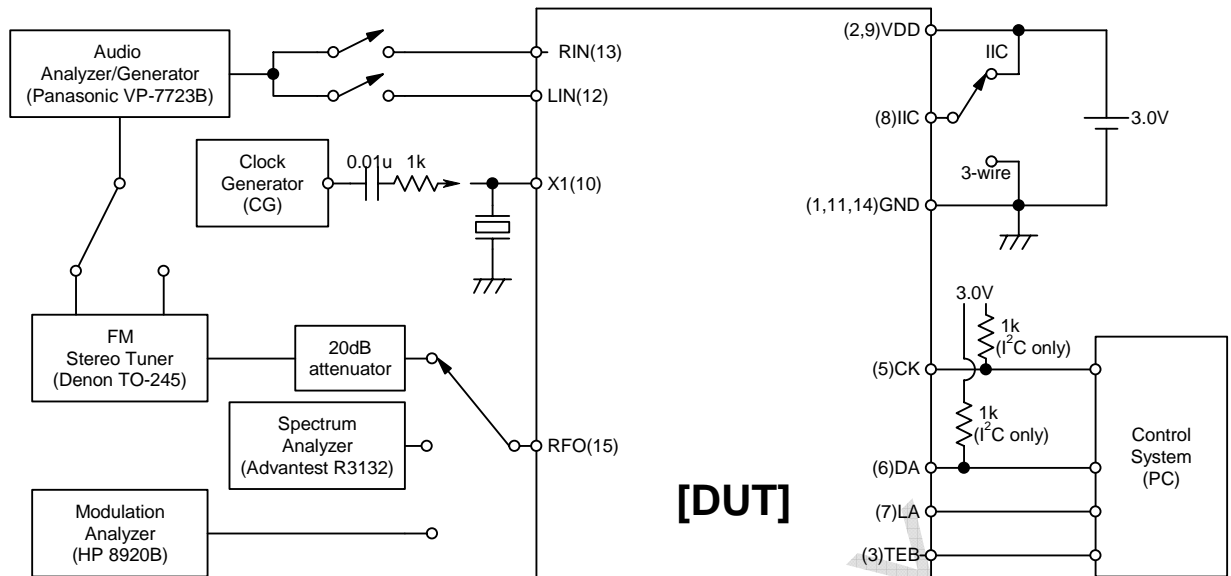
6.1. Standard Test Condition; 標準試験条件

No.	ITEM 項目	SYMBOL 記号	CONDITION 試験条件
1	Standard supply voltage 基準電源電圧	VDD	DC +3.0V +/- 0.05V
2	Temperature 温度		+25 +/- 5degC
3	Relative humidity 相对湿度		65 +/- 5%RH
4	Demodulator's audio filter		HPF:100Hz LPF:15kHz (more than -42dB/oct)
5	Standard clock frequency 基準クロック周波数		32.768kHz (crystal or external clock tolerance +/-20ppm max.)
6	Modulation frequency 変調周波数	fi	1kHz unless otherwise specified
7	Standard signal level 標準入力信号電圧	Vi	90mVrms
8	Carrier frequency 搬送波周波数		98MHz

As far as there is not any specification, it measures in the above condition.
However, test may be done under the following conditions, when it is considered to have no effect on the test result.

Temperature: +5degC to 35degC, Relative Humidity: 45 to 85%RH.

6.2. Circuit of Measurement; 測定用接続図



Electrical characteristics are results of measurements conducted by our original JIG.
電气的特性は、弊社作製の治具によって測定されたものです。

6.3. Electrical Characteristics Item; 電気的特性項目

ITEM 項目	SYMBOL 記号	CONDITION 試験条件 (refer to register map)	MIN. 最小値	TYP. 標準値	MAX. 最大値	UNIT 単位
TX Frequency Range			87.5		108.0	MHz
TX Power Output (Absolute values are not guaranteed since these levels are just as reference)	PO	PL : 1	0.25	0.5		mW
		PL : 2	0.5	1		
		PL : 3	1	2		
TX offset Frequency from local oscillation frequency	foff			-304		kHz
Current Consumption 消費電流	Idd			36	45	mA
Standby Current スタンバイ電流	Istb			1.5	20	uA
Modulation Deviation	Dev.	EM : 0, AG : 0, SUBC : 0, PLT : 1	+/-50			kHz
Modulation Distortion	THD	Mono		0.4	1.0	%
		Stereo		0.4	1.0	
Modulation SN Ratio	SNR	Mono	50	55		dB
		Stereo	50	55		
Stereo Separation	SEP		25	35		dB
Audio Frequency Response	FR	f = 50 - 15kHz, fi = 400Hz@0dB, Vi = 12mVrms	-3	0	1.5	dB
Audio Input Impedance	Zaf	f = 50 - 15kHz	50	60		kOhm
Pilot Tone Level	PL		9	10	11	%
Crystal oscillator	fXT	Frequency	32.768			kHz
	dXT	Tolerance	-20	0	20	ppm

Please set the specification of transmission power level is based on each country and local Wireless Telegraphy Act.

送信出力レベルの仕様は、各国および地方の電波法に基づいて設定してください。

7. Serial Interface; シリアルインターフェース

NS73 receives data either by 3-wire bus or I²C bus, and transmits data by I²C bus only. The I²C or the 3-wire bus mode can be selectable by the level of Pin "IIC" as;

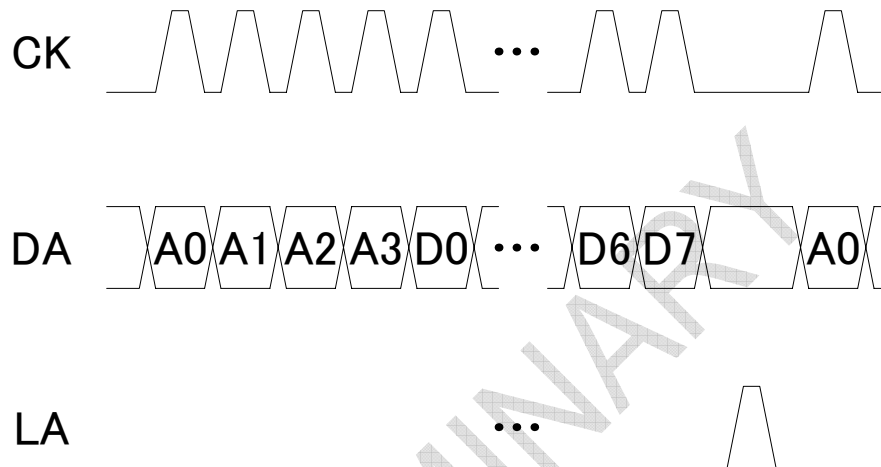
"IIC" = HIGH(VDD) -> I²C mode

"IIC" = LOW(0V) -> 3-wire mode

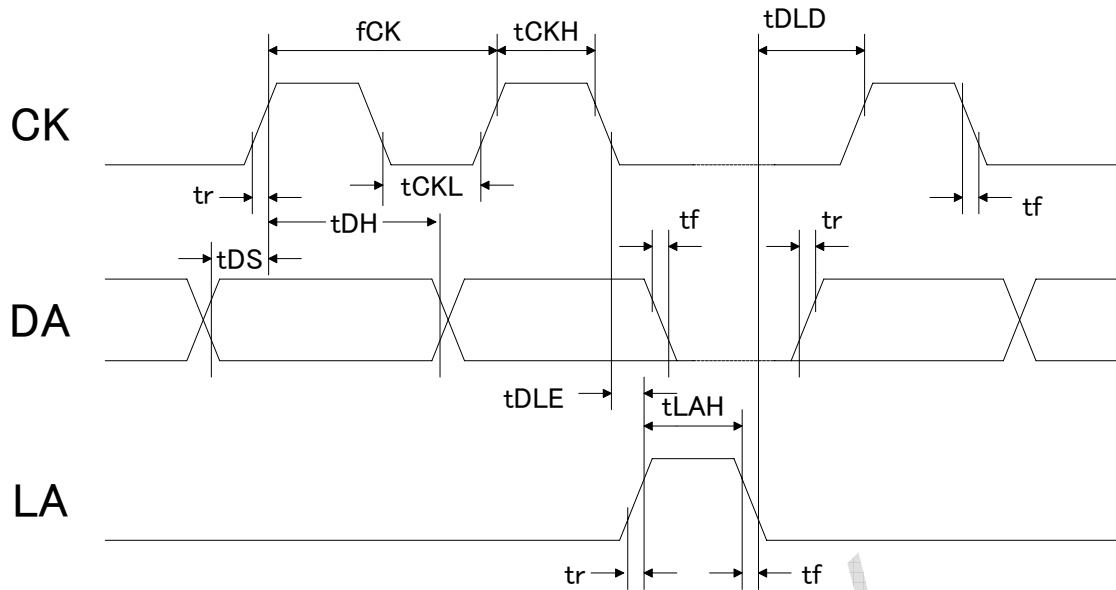
7.1. 3-wire bus Mode; 3線シリアル方式

The 3-wire bus contains three signals as Clock(CK), Data(DA) and Latch(LA). Received data consists of 4 bits for address (A0 to A3) and 8 bits for data (D0 to D7). Received data will be transferred from A0 to A3, D0 to D7 (LSB First). The setting value for one register is settled by the rising edge of LA. (Receiving only for 3-wire bus)

(The rising edge of LA settles the data into registers insides of NS73.)



PRELIMINARY



AC characteristics

No.	Parameter	Symbol	Min.	Max.	Unit
1	CK frequency	f_{CK}		1	MHz
2	Low period of the CK clock	t_{CKL}	250		nS
3	High period of the CK clock	t_{CKH}	250		nS
4	Rise time of CK, DA, LA	t_r		125	nS
5	Fall time of CK, DA, LA	t_f		125	nS
6	Data setup time	t_{DS}	100		nS
7	Data hold time	t_{DH}	100		nS
8	Latch enable time between CK clock	t_{DLE}	0		nS
9	Latch disable time between CK clock	t_{DLD}	0		nS
10	High period of LA pulse	t_{LAH}	250		nS

DC characteristics

No.	Parameter	Symbol	Min.	Max.	Unit
1	Low level input voltage	V_{IL}	-0.3	$0.25V_{DD}$	V
2	High level input voltage	V_{IH}	$0.75V_{DD}$	$V_{DD}+0.3$	V
3	Hysteresis of Schmitt trigger input	V_{hys}	$0.05V_{DD}$		V
4	Input current (Input voltage 0.1~0.9 V_{DDmax})	I_i		10	μA
5	Capacitance for each I/O pin	C_i		10	pF

7.2. I²C bus Mode; I²C方式

I²C bus consists of two wires as a serial data line (DA) and a serial clock line (CK). Serial 8-bit bi-directional data transfers can be made at up to 400kbit/s in the Fast-mode. However, as the set-up time of data, 100nsec or more are necessary. Other devices connected to the same bus require more than 100nsec for data set-up time. It does not correspond to Hs-mode.

NOTE)

This IC CAN NOT be written in at a sequence of resister at a time. So Set data in register by register.

7.2.1. I²C-bus Terminology; I²Cで使用される用語

Following table shows the terminology of I²C bus.

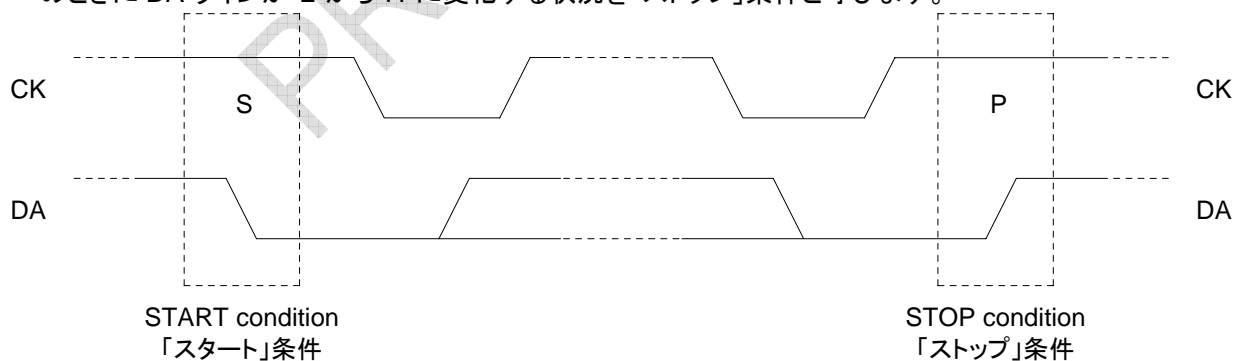
I²Cでは下記用語が定義されています。

TERM 用語	DESCRIPTION 説明
Transmitter トランスミッタ	The device which sends data to the bus データをバスに送信するデバイス
Receiver レシーバ	The device which receives data from the bus データをバスから受信するデバイス
Master マスター	The device which initiates a transfer, generates clock signals and terminates a transfer データ転送を開始し、クロック信号を生成し、データ転送を終了するデバイス
Slave スレーブ	The device addressed by a master マスターからアドレスを指定されるデバイス

7.2.2. START Condition and STOP Condition; 「スタート」条件と「ストップ」条件

START condition is surely needed for the beginning of data communications. STOP condition is surely needed for the end of data communications. The situation, in which DA line changes from HIGH to LOW while CK is HIGH, is referred to as START condition. Moreover, the situation, a LOW to HIGH transition on the DA line while CK is HIGH, is referred to as STOP condition.

データ通信の始まりには「スタート」条件が、終わりには「ストップ」条件が必ず必要となります。CKが「H」のときにDAラインが「H」から「L」に変化する状況を「スタート」条件と呼びます。また、CKが「H」のときにDAラインが「L」から「H」に変化する状況を「ストップ」条件と呼びます。



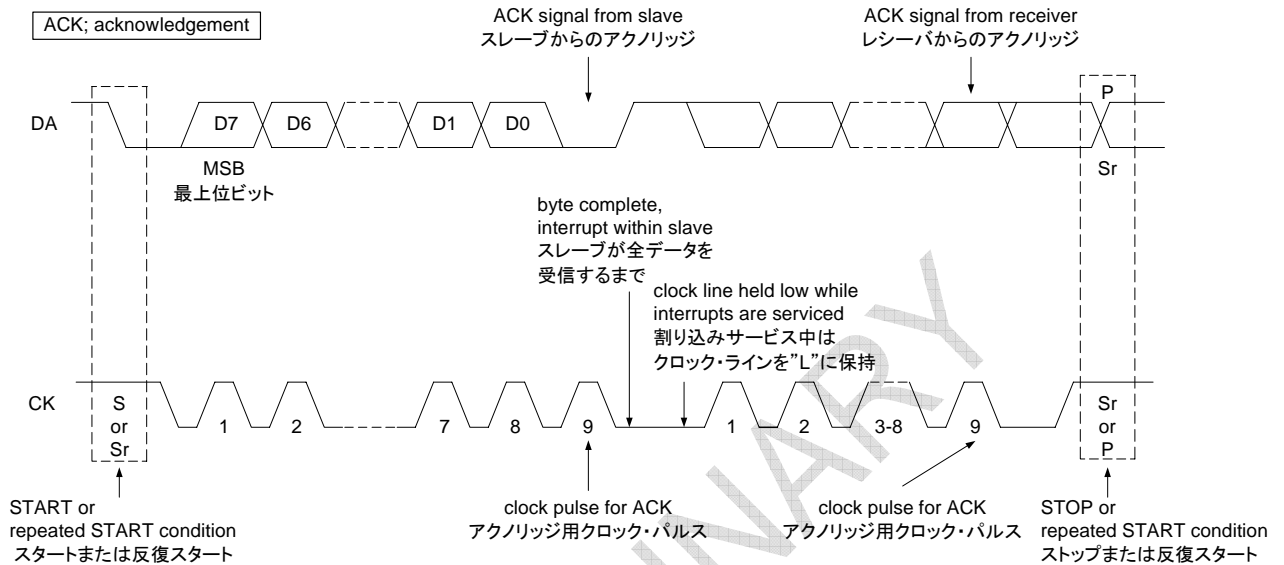
7.2.3. Data Transfer; データ転送

Every byte outputted on the DA line must be 8-bits long. The acknowledge bit is needed after each byte. Data is sequentially transmitted from most significant bit (MSB).

At data transfer, after the START condition(S), a slave address is sent. A data transfer is always terminated by the STOP condition (P) generated by the master.

DAラインに出力される各バイトの長さは必ず8ビットになります。各バイトの後にはアックノリッジ・ビットが必要となります。データは最上位ビット(MSB)から順に送信されます。

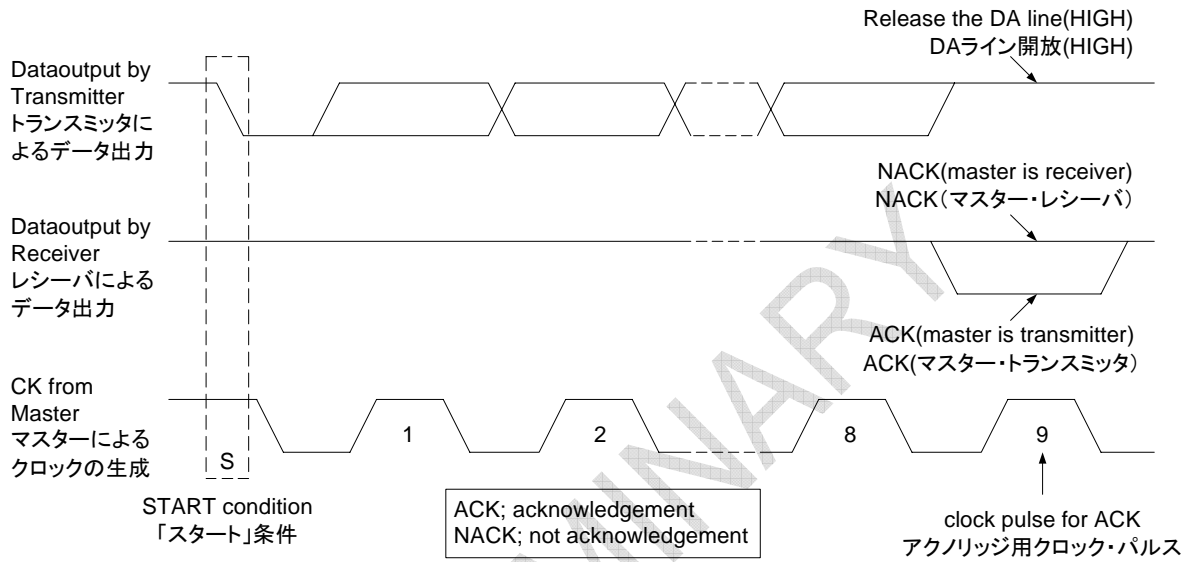
データ転送では、「スタート」条件(S)の後、スレーブのアドレスが送信されます。データ転送は必ずマスターが生成する「ストップ」条件(P)によって終了します。



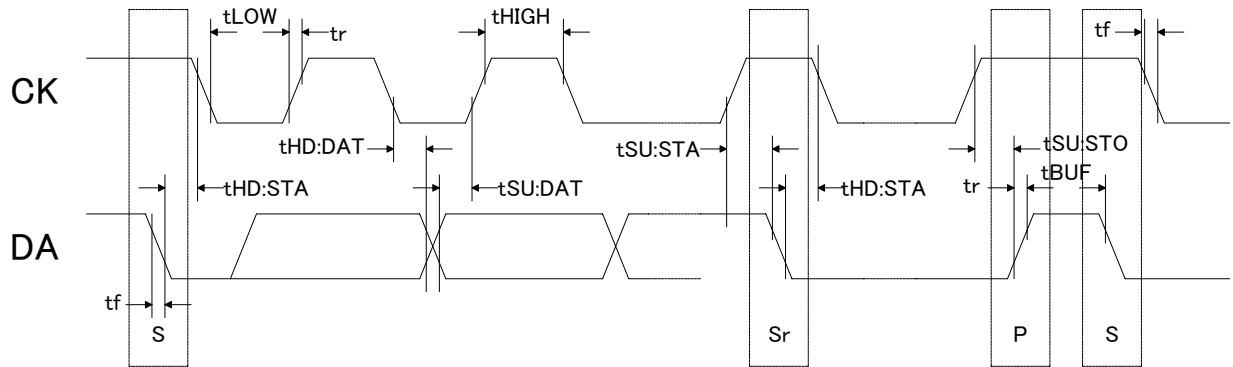
7.2.4. Acknowledge; アクノリッジ(受信確認)

When Acknowledge-related clock pulse is generated by the master, the transmitter releases the DA line "HIGH" during the acknowledge clock pulse. The Receiver outputs "LOW" during the acknowledge clock pulse "HIGH" per reception of one byte (8bit data). If the master-receiver is involved in a transfer, it must signal the end of data to the slave-transmitter by not generating the acknowledge on the last byte which is sent out of the slave.

マスターによってアクノリッジ用クロック・パルスが生成された場合、トランスミッタは DA ラインを開放します (DA ラインは "H" 状態になります)。レシーバはデータを 1 バイト (8 ビット) 受信するごとにアクノリッジ・クロック・パルスが "H" 状態のときに、DA ラインを "L" にします。マスターがレシーバとなる場合、スレーブから送信されたデータの終わりにアクノリッジをしないことでマスターはスレーブにデータの終わりを知らせます。



7.2.5. Electrical Specification and Timing for I/O Stages



AC characteristics

No.	Parameter	Symbol	Min.	Max.	Unit
1	CK frequency	fCK		400	kHz
2	Hold time START condition	tHD:STA	250		nS
3	HIGH period of the CK clock	tHIGH		0.6	uS
4	LOW period of CK clock	tLOW		1.3	uS
5	Set-up time for a repeat condition	tSU:STA		0.6	uS
6	Set-up time for a stop condition	tSU:STO	0.6		uS
7	Data hold time	tHD:DAT	0	0.9	uS
8	Data set-up time	tSU:DAT	100		nS
9	Rise time of both DA and CK	tr		300	nS
10	Fall time of both DA and CK	tf		300	nS
11	Bus free time between a STOP and START condition	tBUF	1.3		uS

DC characteristics

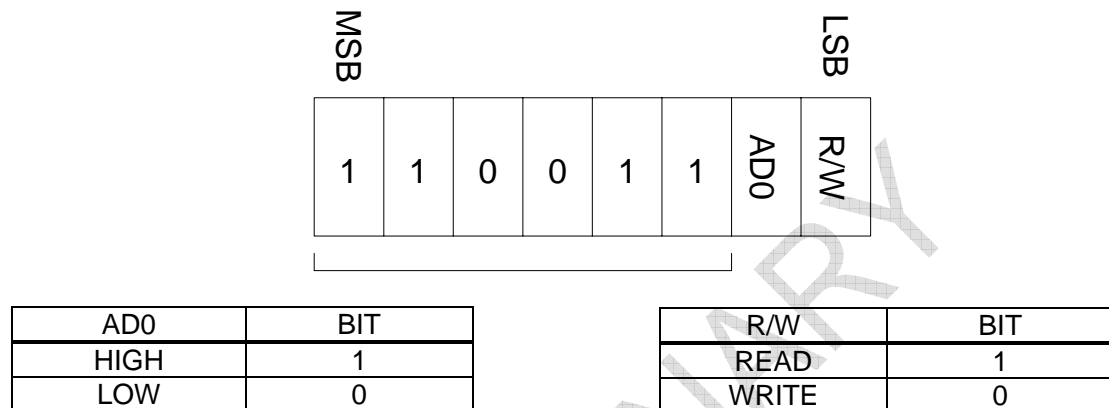
No.	Parameter	Symbol	Min.	Max.	Unit
1	Low level input voltage	VIL	-0.3	0.25VDD	V
2	High level input voltage	VIH	0.75VDD	VDD+0.3	V
3	Hysteresis of Schmitt trigger input	Vhys	0.05VDD		V
4	Low level output voltage at 3mA sink current	Vol		0.4	V
5	Input current (Input voltage 0.1~0.9VDDmax)	Ii		10	uA
6	Capacitance for each I/O pin	Ci		10	pF

7.2.6. Definition of Bits in a Byte; 1 バイト内の各ビット定義

7.2.6.1. Slave Address; スレーブ・アドレス

Slave address consists of the fixed address 110011 (unique to the chip) and of the value set by the LA pin. Therefore the LA pin must be connected either with VDD or VSS. It is also possible to control as "LATCH IN". This address is 7 bits long followed by an eighth bit which is a data direction bit (R/W). When the data direction bit is "0", it indicates a transmission (WRITE). When the data direction bit is "1", it indicates a request for data (READ).

スレーブ・アドレスはチップ固有の固定アドレス"110011"と LA 端子で設定される値で構成されます。したがって LA 端子を必ず HIGH または LOW に接続して下さい。LATCH IN として制御することも可能です。8 ビット目にはデータ方向ビット(R/W)が続きます。このデータ方向ビットが"0"であれば送信(書き込み)、「1」であれば受信(読み込み)を行います。



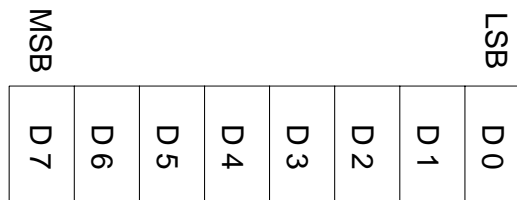
7.2.6.2. Register Address; レジスタ・アドレス

The internal registers are 13 in full, so four bit data set at the MSB side are neglected.
内部レジスタは全部で 13 個のため、MSB 側に設定された 4 ビットのデータは無効となります。



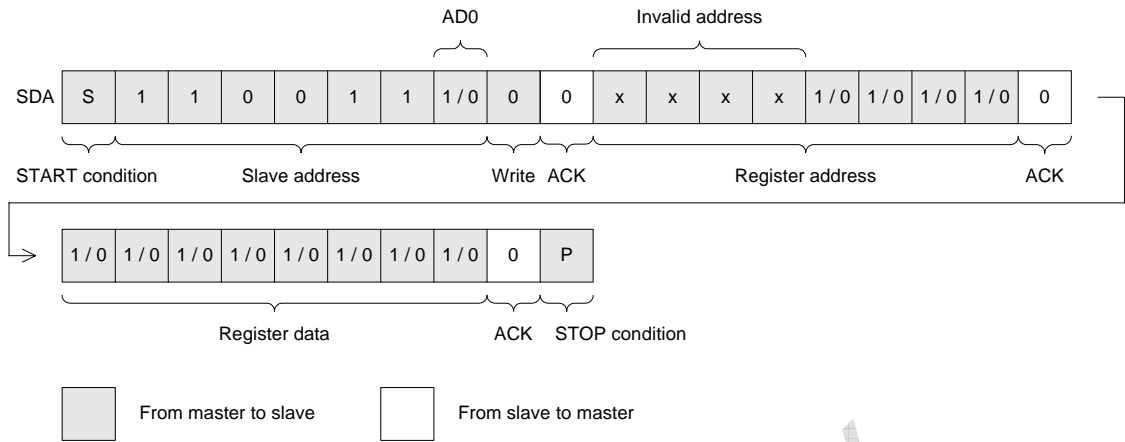
7.2.6.3. Register data; レジスタ・データ

The data length of each register is 8 bit.
各レジスタのデータは 8 ビットで構成されています。

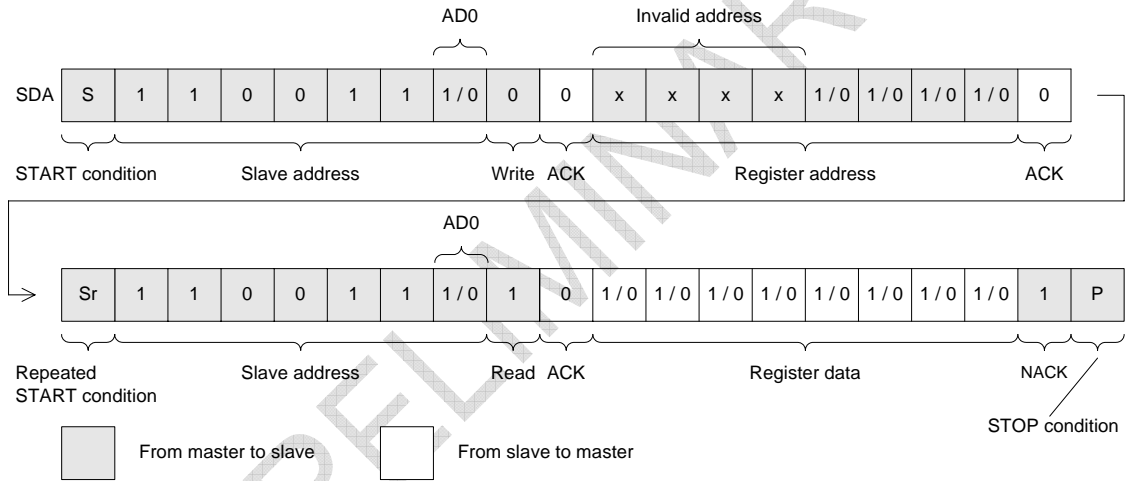


7.2.7. Command Format; コマンドフォーマット

7.2.7.1. Individual Register Data Writing; 個別レジスタ・データ書き込み



7.2.7.2. Individual Register Data Reading; 個別レジスタ・データ読み込み



8. Software Control Specification; ソフトウェア制御仕様

8.1. Register Settings(outline); レジスタ設定(概要)

Do software reset (set address "E" data "xxxx 0101(MSB First)") when turning IC power ON. Set all registers to an initial value before setting Register PE to "1". Register map shows detail of registers. Be sure to set initial value to the register which cell's color is gray at the register map. The register which cell's color is white is to define for yourself.

IC 電源 ON 時に、ソフトウェアリセットをかけてください。ソフトウェアリセット後、レジスタ PE を 1 に設定する前に、全レジスタを初期値に設定してください。レジスタの詳細は、レジスタ MAP を参照して下さい。レジスタ MAP の色枠のレジスタは、必ず初期値を設定して下さい。レジスタ MAP の白枠のレジスタは、お客様で設定して頂くレジスタです。

8.2. Standard Clock; 基準クロック

- (1) When using a crystal oscillator, use one that the frequency stability is within +/-20ppm.
水晶発振の場合、安定度 +/-20ppm 以下の水晶振動子を使用して下さい。

Reference crystal element

F[kHz]	CL[pF]	R1[kohm]	Co[pF]	C1[fF]
32.768	12.5	35 max	1.35 typ.	3.0 typ.

- (2) When using an external clock, couple a capacitor and a resistor to the X1(F7) pin of the module for clock input. Keep the input level of the clock between MIN = 0.4[Vp-p] to MAX = VDD [Vpp]. Frequency stability is +/-20ppm max.

外部クロックの場合、X1(F7)端子にコンデンサと抵抗でカップリングして入力して下さい。クロックの入力レベルは、MIN=0.4[Vpp] ~ MAX=VDD[Vpp]、安定度は +/-20ppm 以内として下さい。

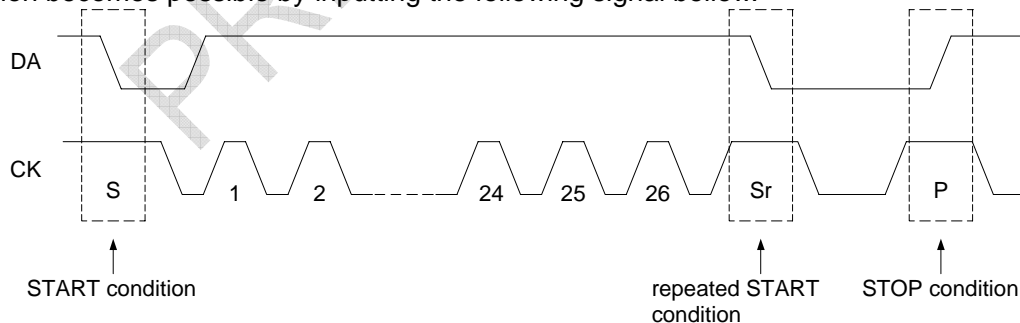
8.3. Muting

MUTE register behavior is deleting Pilot tone as well as Audio input. So using MUTE makes not Stereo.

To use muting as stereo condition, do in application controlling this IC, not use this register.

8.4. Reset for Serial Interface

In order to avoid incorrect operation after starting power supply, input the following signal bellow. When communication discontinuation occurs (reset microcomputer, etc), the usual operation becomes possible by inputting the following signal bellow.



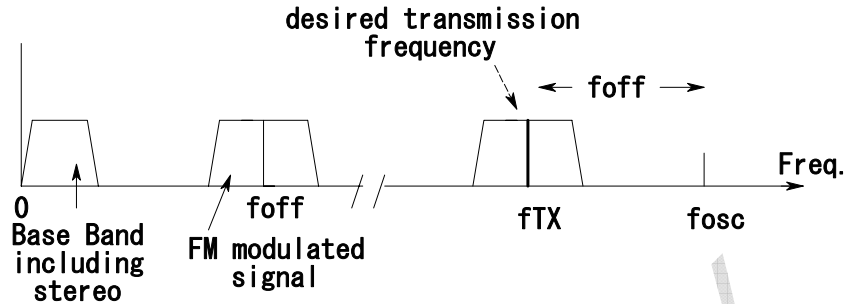
8.5. PLL Setting Method; PLL (Pレジスタ)設定方法

Although the local oscillator is oscillating at 4 times of transmitted frequency, transmitted frequency can be used to calculate the number to program for the synthesizer because of the divided-by 4 pre-scaler between the local oscillator and the synthesizer.

It is also considered that the oscillation frequency(f_{osc}) should be located above the transmission frequency(f_{TX}).

Because the base band signal is modulated in FM with 304kHz offset(f_{off})

Following shows the frequency spectrum of NS73.



Therefore, the f_{osc} should be $(f_{TX} + f_{off})$.
This is applied to decide divided-by N of synthesizer.

The reference frequency of the synthesizer is taken as 8.192kHz or frequency of divided-by its integer-N.

However, the FM channel steps such as 50kHz, 100kHz and 200kHz are not divisible by 32.768kHz and its divided-by N.

Then, we have to accept some error frequencies from proper transmission frequency.

In order to satisfy the +/-5kHz frequency allowance, the divided-by ratio (N) is calculated as;

Choose the reference frequency of synthesizer to 8.192kHz, i.e.,

$$N = (f_{TX} + f_{off}) / 0.008192M$$

and round off the N to zero decimal places (integer).

Convert N to N_h and N_b .

Set N_b to shift register of transmission with LSB first for 3-wire serial mode or MSB first for I²C bus transmission.

For example) $f_{TX}=88.5MHz$

$$N = (f_{TX} + 0.304) / 0.008192 = (88.5 + 0.304) / (0.008192) = 10840.33 \dots$$

$$N = \text{round}(N,0) = 10840$$

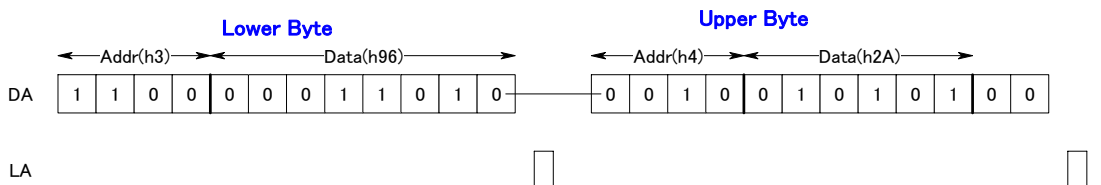
$$N_h = 2A58h \quad N_b = 10\ 1010\ 0101\ 1000b$$

Data transmission for 3-wire is; start "0001 1010 0101 01" -end of bit

Data transmission for I²C is start "10 1010 0101 1000" -end of bit.

Total data transmission for above data to NS73 can be shown as below;

Data Transmission example of Synthesizer program data by 3-wire



8.6. Register Map; レジスタマップ

Colored frames indicate the registers that must be set "INITIAL".

網掛けしたレジスタは初期値を設定してください。

REGISTER	NAME	CONTENTS	SELECTION	ADDRESS				DATA								INITIAL (Hex)						
				A 3	A 2	A 1	A 0	D 7	D 6	D 5	D 4	D 3	D 2	D 1	D 0							
R0	PE	Power SW	OFF	0	0	0	0									0	0					
			ON															1				
	PDX	Crystal SW	ON														0				0	
			OFF													1						
	MUTE	Mute	OFF														0				0	
			ON													1						
	S32K	For test	-														0				0	
	EM	Pre-emphasis switch	ON												0							0
			OFF												1							
	EMS	Pre-emphasis Selection	50us												0							0
			75us												1							
	AG	Audio input level to get 100% modulation	100mV										0	0								0
140mV								0	1													
200mV								1	0													
R1	DEV	For test	-										1	0	0		4					
	PLT	Pilot tone	ON										0				0					
			OFF									1										
	-	For test	-	0	0	0	1			1	1						3					
	SUBC	Forced subcarrier	ON						0									0				
OFF								1														
HPF	For test	-						1									1					
R2	PL	TX power level	0.5mW											0	1		1					
			1.0mW										1	0								
			2.0mW										1	1								
	ULD	Unlock detect	OFF	0	0	1	0						0				1					
			ON										1									
	RAMWEB	For test	-										0				0					
TMOD	For test	-						0	0	0	0						0					
R3	P	Program data for Synthesizer	P[7:0]	0	0	1	1										Note					
R4	P	Program data for Synthesizer	P[13:8]	0	1	0	0															
	FR	For test	-					0	0								0					

REGISTER	NAME	CONTENTS	SELECTION	ADDRESS				DATA								INITIAL (Hex)
				A 3	A 2	A 1	A 0	D 7	D 6	D 5	D 4	D 3	D 2	D 1	D 0	
R5	ID	For test	-												0	0
	TST	For test	-							0	0	0				0
	TSTREG	For test	-	0	1	0	1			0						0
	MBBO	For test	-						0							0
	TEN	For test	-						0							0
	PEAU	For test	-					0								0
R6	POLA	For test	-												0	0
	CIA	Main synthesizer charge pump current	1.25uA									0	1			1
			80uA								1	1				
	CIB	Clock generator charge pump current	320uA	0	1	1	0			1	1					3
	POLB	For test	-						0							0
	TESC	For test	-						0							0
TESCC	For test	-						0							0	
R7	TEOS	For test	-										0	0		0
	PDTEST	For test	-								0					0
	CPO	For test	-	0	1	1	1			0	0					0
	SMTES	For test	-						0							0
	PESY	For test	-						0							0
	PERF	For test	-					0								0
R8	CEX	Local oscillator frequency extension	Band0											0	0	2
			Band1										0	1		
			Band2										1	0		
			Band3	1	0	0	0						1	1		
	FMG	For test	-							1	0					2
	FA	For test	-						0	1						1
	TAS	For test	-					0	0							0
R9	PAB	For test	-	1	0	0	1							0	0	
R10	MPTEST	For test	-	1	0	1	0								0	
R11	SEL_TEST	For test	-	1	0	1	1						0	0		0
	SEL_DATA	For test	-						0	0	0					0
R14	-	-	-	1	1	1	0									0

Note: In the case of P = 888 (for example).
Change a decimal numbers to a binary-coded form.

P = 888 の場合

10 進数を 2 進数へ変換する。

888 → 00001101111000 (= R2[5], ..., R2[0], R1[7], ..., R1[0])

REGISTER	NAME	CONTENTS	SELECTION	ADDRESS				DATA								INITIAL (Hex)
				A 3	A 2	A 1	A 0	D 7	D 6	D 5	D 4	D 3	D 2	D 1	D 0	
R3	P	Program data for Synthesizer	P[7:0]	0	0	1	1	0	1	1	1	1	0	0	0	
R4	P	Program data for Synthesizer	P[13:8]	0	1	0	0			0	0	0	0	1	1	
	FR	For test	-					0	0							

PRELIMINARY

8.7. Controller basic operation routines

NS73 has power on reset circuit. Therefore, it takes few milli-seconds, until reaching the specified VDD.

To make sure to reset, software reset can be applied.

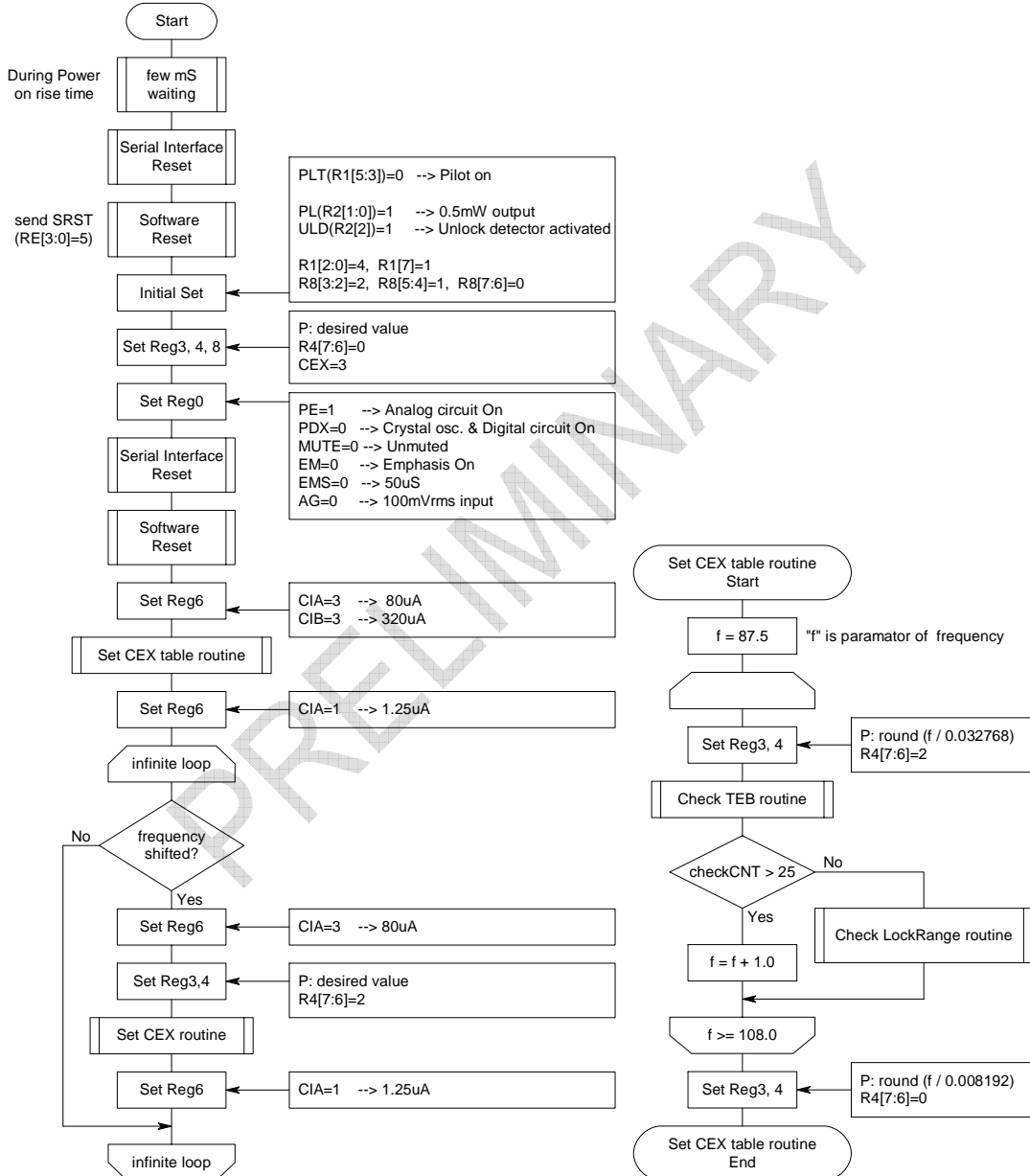
Next step, set appropriate data to all registers, refer to register map.

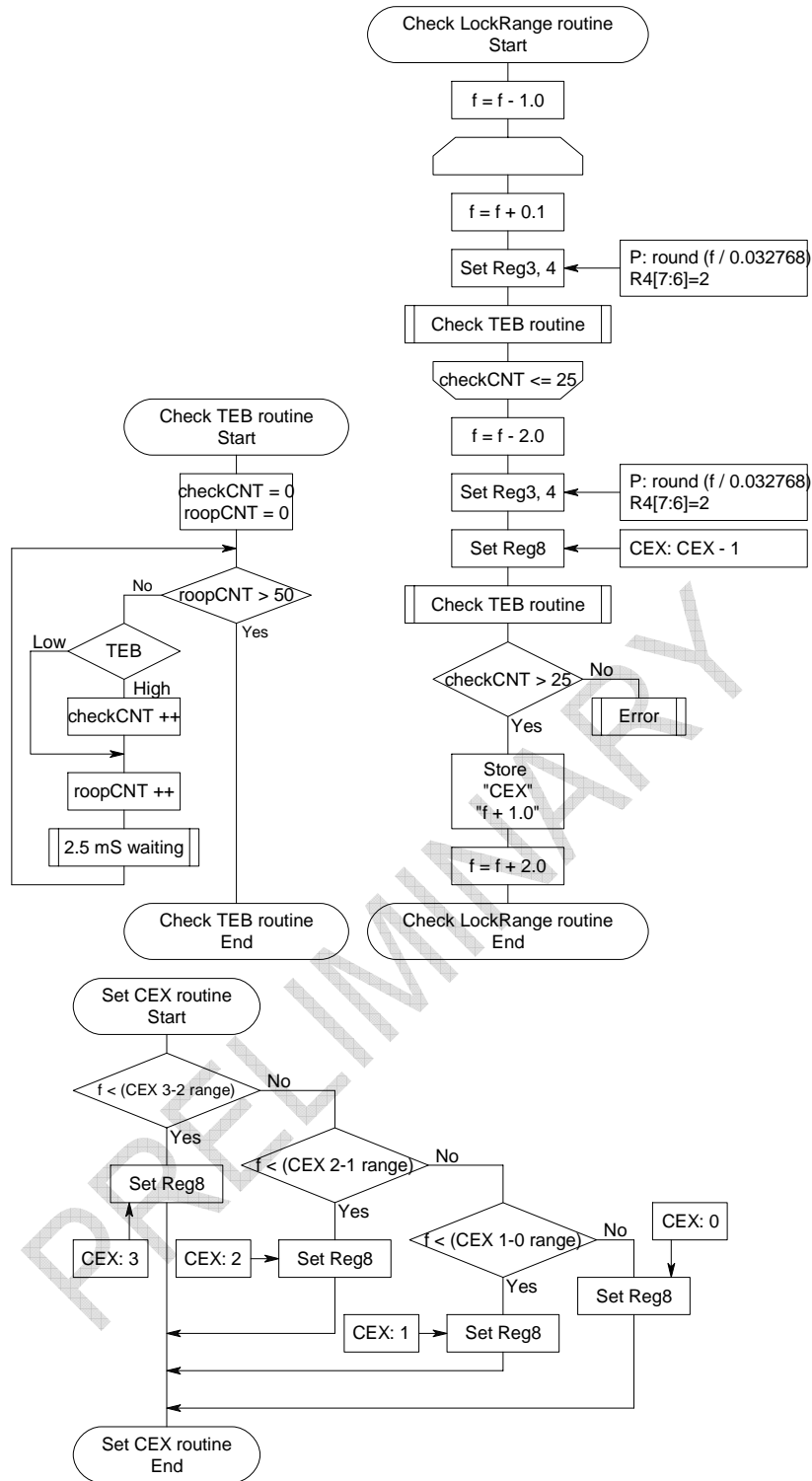
During PE=0, the chip is in standby mode and data for all registers are backed up.

In PE=1 mode, chip will be activated and able to transmit signal.

The serial interface function is always operating even if PE=0.

This routine requires a RAM to store data about relationships between "CEX" and frequency.

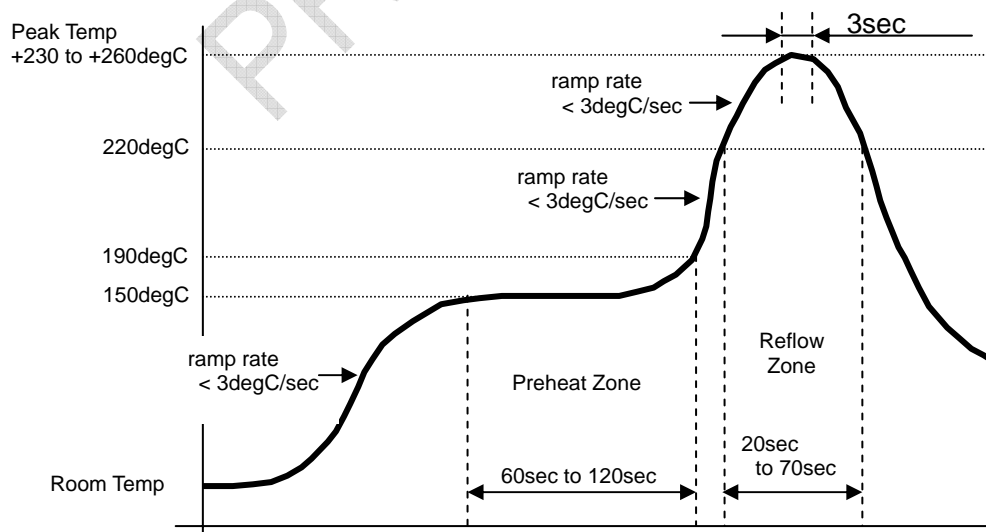




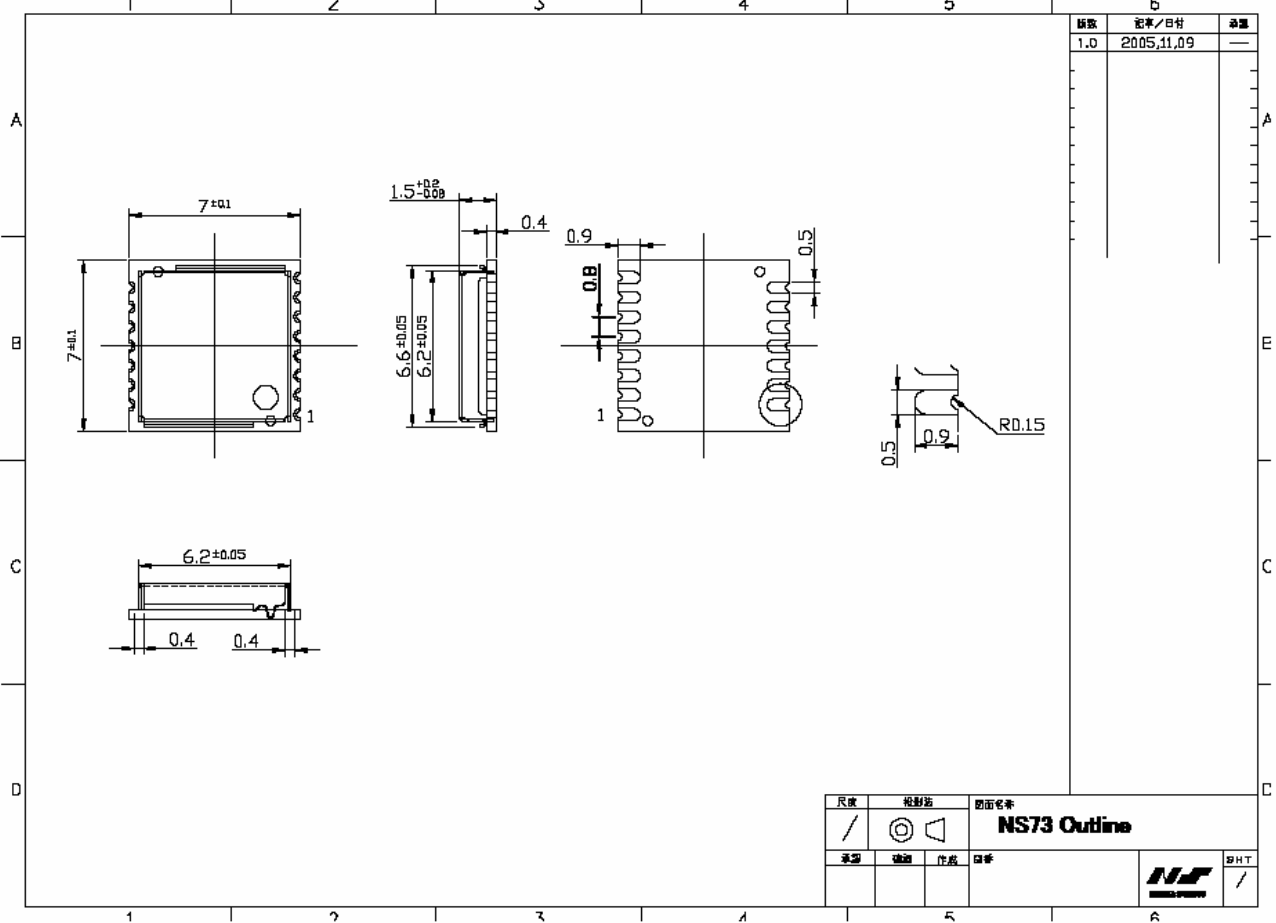
9. Reliability Test Conditions; 信頼性試験項目

No.	ITEM 項目	CONDITION 試験条件
1	High/Low temperature storage 高低温保存試験	To meet the electrical characteristic specifications without a damage in the external appearance after letting samples expose to temperature -20degC and +85degC for each 500 hours, then under room temperature and normal humidity for 2 hours. 温度-20degC 及び+85degC にて各 500 時間放置した後、常温常湿に 2 時間放置した時、外観に異常なく電氣的規格を満足する事。
2	Temperature and humidity bias 高温高湿バイアス試験	To meet the electrical characteristic specifications without a damage in the external appearance after letting samples expose to temperature +70degC and humidity 85% for 500 hours (VDD=3.4V burn-in), then under room temperature and normal humidity for 2 hours. 温度+70degC 湿度 85% にて 500 時間 VDD=3.4V 通電放置した後、常温常湿に 2 時間放置した時、外観に異常なく電氣的規格を満足する事。
3	Thermal shock 熱衝撃試験	To meet the electrical characteristic specifications without a damage in the external appearance, after letting samples expose to a 100 cycle execution of a cycle defined as: -55degC for 5 min, transfer time for less than 5min and +125degC for 5 min; then under room temperature and normal humidity. -55degC に 5 分間、移動時間 5 分以内、+125degC に 5 分間を 1 サイクルとし、100 サイクル実施後、常温常湿に戻した時、外観に異常なく電氣的規格を満足する事。
4	Vibration 振動試験	To meet the electrical characteristic specifications without a damage in the external appearance, after vibration range of 100 ~ 2000Hz, sweeping time 4minutes(round-trip), acceleration of 20G, vibration applied for 48 minutes. 振動数範囲 100~2000Hz、往復掃引 4 分、加速度 20G を 48 分加えた時、外観に異常なく電氣的規格を満足する事。

10. PbFREE Solder Reflow Profile; 鉛フリー・リフロープロファイル



11. Outer Dimension and Terminals for Connection; 外形寸法及び外部接続端子



[Materials]

Case : Clad Metal (Ni - SUS - Ni)

Base : Glass epoxy

[材質]

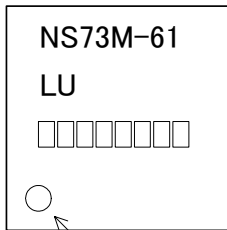
ケース : クラッドメタル (Ni - SUS - Ni)

基板 : ガラスエポキシ

12. Marking; 表示

Marking is performed with laser.

表示はレーザ彫刻にて行う。



—> Model Name; 型名

—> Model Name; 型名

—> Product Code(8digits); 製造コード(8桁)

(e.g.) N E D 6 6 001

—> Product Lot No.(3digits); 製造ロット番号(3桁)

—> Month; 製造月

(Oct. : X, Nov. : Y, Dec. : Z)

(10月 : X, 11月 : Y, 12月 : Z)

—> Year(last 1 digit); 西暦(下1桁)

—> IC Version

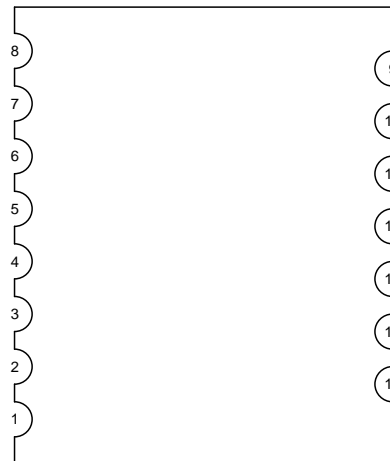
—> Spec. Discernment Code; 仕様識別符号

—> Manufacture Base; 製造拠点

Pin1 Identifier
ピン1識別子

PRELIMINARY

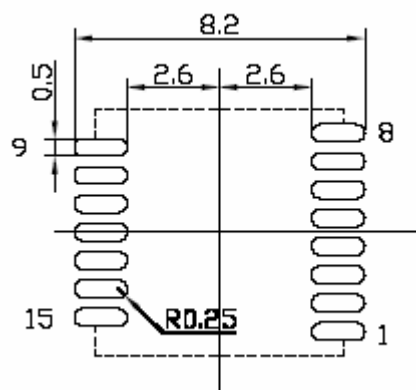
13. Assignment of Pins; ピン配置



(Bottom View)

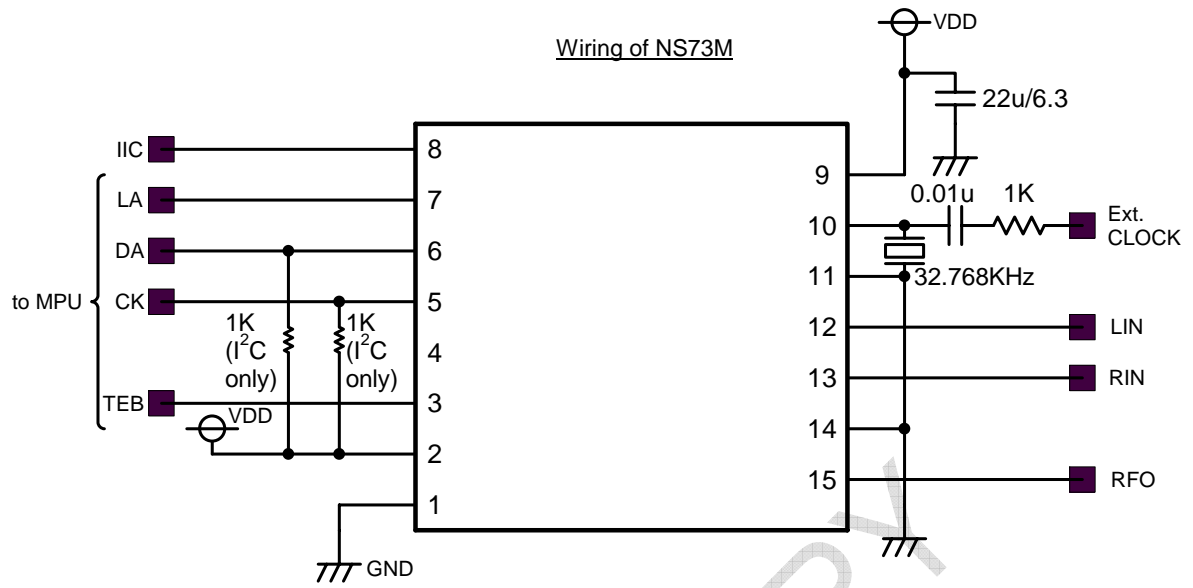
PIN NO.	PIN NAME	DESCRIPTION
1	GND	GND
2	VDRF	VDD
3	TEB	Unlock Detect Output
4	PWE	Non Connection
5	CK	Clock for I/O input (Pull up R needed)
6	DA	Data I/O for I/F (Pull up R needed)
7	LA	Latch for 3-wire or Address for I ² C
8	IIC	I ² C or 3-wire I/F Selection
9	VCC	VDD
10	X1	Crystal oscillator input
11	GND	GND
12	LIN	Audio Left signal input
13	RIN	Audio Right signal input
14	GND	GND
15	RFO	RF Power output

14. Recommended foot pattern; 推奨フットパターン



(Top View)

15. Application Circuit ; 応用回路



16. Appearance Specification; 外観規格

16.1. Marking; 表示

- (1) As for marking disappearance and partial marking lack, if the contents can be deciphered, the defect will be unquestioned.
表示の消え、欠けについて、表示内容が判読可能なものは不問とする。
- (2) As for a position gap of marking, it should not overflow from a shield case.
表示の位置ズレについては、シールドケースよりはみ出さないこと。
- (3) Complete lack of marking, written mistakes and direction errors are regarded disqualified.
表示が無いものや記載に誤りがあるもの、方向に誤りがあるものは不合格とする。

16.2. Shield Case; シールドケース

- (1) As for cracks and discoloration the shield case, if the contents of marking can be deciphered, the defect will be unquestioned.
シールドケースのキズや変色については、表示内容が判読可能なものは不問とする。
- (2) As for deformation of the shield case, if the contents of marking can be deciphered, the defect will be unquestioned as long as the external form specification is fulfilled.
シールドケースの変形については、外形規格内において表示が判読可能なものは不問とする。
- (3) As for complete lack of the shield case will be regarded disqualified.
シールドケースが無いものは不合格とする。

16.3. Base; 基板

- (1) As for cracks and peelings of the solder resister, it will be regarded as disqualified when the wiring pattern is exposed.
ソルダーレジスト上のキズとはがれについては、配線が露出しているものは不合格とする。
- (2) As for unevenness of the solder resister, it will be unquestioned as long as the external form specification is fulfilled.
外形規格内におけるソルダーレジストのむらは不問とする。
- (3) As for the fuzz of the cutting plane of the base, if the length of it is within one mm, it will be unquestioned.
基板切断面のバリについては、長さ 1mm 以内は不問とする。
- (4) As for the soldering of the shield case insertion part, 1/4 or more of the base side hole area should be covered with solder.
シールドケース挿入部のはんだ付け部については、基板側スルーホール面積の 1/4 以上がはんだで覆われていること。

17. Notes of use ; 使用上の注意事項

17.1. Notes of designing the board.; 設計時の注意事項

- (1) Follow the conditions written in the specification.
本仕様書に記載されている条件は必ず守ってください。
- (2) This module should not be stressed when installed.
本製品を取り付けの際は応力がかからないような取り付けをお願いします。
- (3) Keep this module away from heat sources
本製品は熱源から離して設置してください。
- (4) Use stable power supply and be careful not to add over voltage, opposite voltage, noise and spike.
供給電源には、安定したものを使用し、過電圧、逆電圧、雑音、スパイクなどが加わらないようにしてください。
- (5) Keep this module away from high-frequency noise area.
本製品の近辺には高周波雑音を発生する回路を配置しないよう願います。
- (6) Follow the conditions of interface specifications when using control signals to control this module.
本製品の制御に必要なコントロール信号については、インターフェース条件を必ず守ってください。
- (7) Use the specified impedance for the input/output terminals.
各入出力端子は指定のインピーダンスでご使用ください。

17.2. Notes of assembling; 実装上の注意事項

- (1) Please carry out the ICs on a tray specified by our company and conduct the baking process under the condition of +125+/-5degC, 22~26 hours. Please be sure to carry out reflowing within the appointed time [Section 17.4(1)].
ベーキング処理は弊社指定のトレイにて+125+/-5degC、22~26 時間を実施してください。必ず指定時間以内にリフロー半田付けを実施してください[第 17.4 項 (1)]。
- (2) Please refer the reflow data[Section10] of this production. It is possible to reflow this module three times.
リフロー条件は添付のモジュール製造時のリフローデータ[第 10 項]を参考にしてください。3 回のリフロー半田付けが可能です。
- (3) This module should not be stressed or vibrated when reflowed.
リフロー中はモジュールに振動を与えないでください。
- (4) Do not wash the module.
本モジュールは洗浄対応しておりません。
- (5) Refer to the recommended pattern when designing the board.
基板設計の際は推奨パターンを参考に作成願います。
- (6) Be careful of distortion of the shield case, when installing this module.
本モジュールを実装する場合、シールドの変形に注意してください。
- (7) Do not install the product by moisture-proof coating.
本製品を防湿コーティング等による封止はしないでください。

17.3. Notes of usage conditions; 取り扱い時の注意事項

- (1) Be careful against static electricity.
取り扱い時、静電気防止対策等の配慮をお願いします。
- (2) Do not use a module once fallen.
単体で落下した製品は使用しないでください。
- (3) Do not remove the shield case.
製品のシールドを外さないでください。
- (4) Follow the descriptions for power supplying.
供給電源については定格を必ず守ってください。
- (5) Do not touch the pins directly by bare hands. May deteriorate the soldering strength.
端子に直接手を触れると、半田付け性が劣化しますのでご注意ください。

17.4. Notes of storage; 保管上の注意事項

- (1) When stored in moisture-proof bag under storage conditions 30degC, 65% RH (Relative humidity) or less, the shelf life will be within 6 months (from date of shipping). After the bag opened, it must be reflowed to a PCB within 168 hours with the stored condition 30degC, 65% RH or less (Max 3 times). When the appointed period has exceeded after opening the bag, please carry out the baking process on the tray specified by our company under the condition of +125+/-5degC, 22~26 hours.
防湿梱包状態で保存する場合、30degC、60% RH (相対湿度) 以下にて 6ヶ月以内(出荷年月日から)、開封後は 30degC、60% RH 以下にて 168 時間以内にリフロー半田付け(3 回以内)を実施してください。開封後、指定期間を超えた場合は+125+/-5degC、22~26 時間のベーキング処理を弊社指定のトレイにて実施してください。
- (2) Store in the environment of no heat, high humidity, dust nor corrosive gas.
高温、多湿、塵埃、腐食性ガスのない環境で保管してください。
- (3) Dropping or piling by bulk may cause damage.
落下やバラ積みは、破損の恐れがありますのでご注意ください。

17.5. Notes of others; その他の注意事項

- (1) This specification sheet includes know how and copyrights we own. Please do not disclose this to any third party.
本仕様書は、弊社の著作権、ノウハウに関する内容が含まれていますので、第三者には開示しないように願います。
- (2) Please do not use this product for purposes not agreed with NIIGATA SEIMITSU CO.,LTD.
本製品を弊社と合意した用途以外の目的に使用しないでください。
- (3) Be sure to provide an appropriate fail-safe function on your product to prevent secondary damages that may be caused by an abnormal function or a failure of our product. We assume no responsibility whatsoever for accidents resulting in injury or death, fire accidents and other serious accidents by unsuitable use.
本製品に万が一異常や不具合が生じた場合でも、2次災害防止のため、セット本体に適切な予防機能を必ず付加してください。不適当な使用による人身事故、火災事故、その他の重大事故につきましては、当社は一切その責任を負いません。
- (4) We assume no responsibility whatsoever for the use of any circuits described herein. Conveys no license under any patent or other rights and makes no representations whether the circuits are free from patent infringement or not.
本仕様書に記載されている回路の使用に起因する工業所有権に関する諸問題につきまして当社は一切その責任を負いません。
- (5) Any questions about the provisions of this document or any other matters that are not provided in this document shall be solved by negotiation between the two parties.
本書に記載無き事項及び記載事項に疑義が生じた場合は、両者の合議により解決することとします。

18. Revision; 改訂履歴

Date; 日付	Revision; 内容	Issued 担当	Approved 承認
2006/1/6	First Edition	S.Hiraoka	H.Miyagi

PRELIMINARY