

アプリケーションマニュアル

Real Time Clock Module

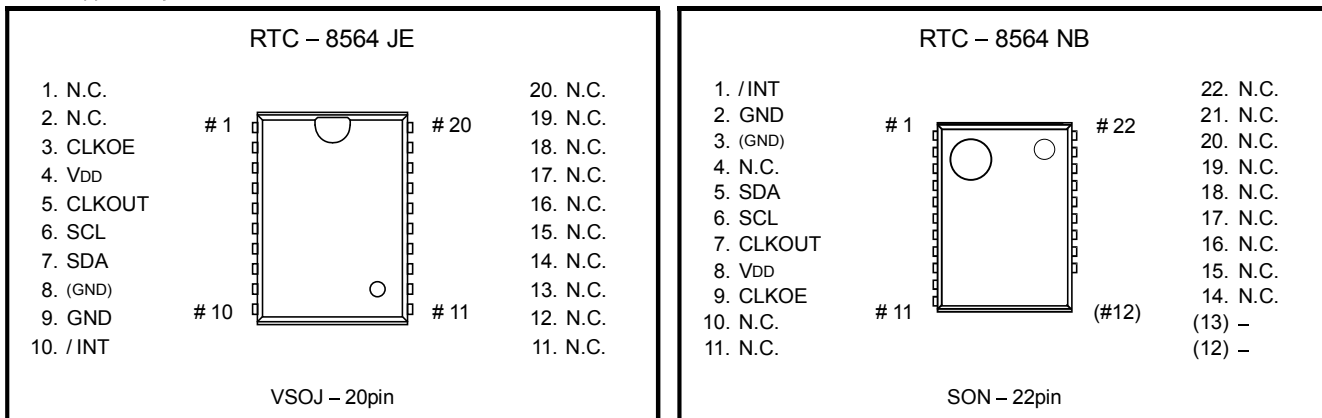
RTC-8564JE/NB

参考資料

エプソントヨコム株式会社

3. 端子説明

3.1. 端子配置



3.2. 端子機能

端子名	入出力	機能													
SCL	入力	I ² C-BUS 通信用のシリアルクロックを入力します。													
SDA	双方向	I ² C-BUS 通信用のシリアルクロックに同期して、アドレス、データ、アクノリッジビットなどを入出力します。 この端子は 出力時オープンドレインですので、信号線の容量により 適切なプルアップ抵抗を接続してください。													
CLKOUT	出力	CLKOUT 端子は、出力制御付きのクロック出力端子 (C-MOS 出力) です。 CLKOE 端子は、FE ビット, FD1 ビット, FD0 ビットと組み合わせることで CLKOUT 出力端子の出力状態を制御するための入力端子です。 CLKOE 入力端子, FE ビット, FD1 ビット, FD0 ビットの組み合わせにより、CLKOUT 出力端子から 32.768 kHz, 1024 Hz, 32 Hz, 1 Hz を選択出力する または 出力を停止させることができます。 出力停止時の CLKOUT 出力端子は "L" レベルとなります。													
CLKOE	入力	<table border="1" style="margin: 10px auto; border-collapse: collapse;"> <thead> <tr> <th>CLKOE pin input</th> <th>FE bit</th> <th>CLKOUT pin output</th> </tr> </thead> <tbody> <tr> <td rowspan="2">"H"</td> <td>1</td> <td>Output (C-MOS)</td> </tr> <tr> <td>0</td> <td>OFF ("L")</td> </tr> <tr> <td rowspan="2">"L"</td> <td>1</td> <td>OFF ("L")</td> </tr> <tr> <td>0</td> <td>OFF ("L")</td> </tr> </tbody> </table> <p>初期電源投入時 (0V からの電源投入時) に CLKOE 入力端子 = "H" であったときは、パワーオンリセット機能により 32.768 kHz が選択出力されます。</p>	CLKOE pin input	FE bit	CLKOUT pin output	"H"	1	Output (C-MOS)	0	OFF ("L")	"L"	1	OFF ("L")	0	OFF ("L")
CLKOE pin input	FE bit	CLKOUT pin output													
"H"	1	Output (C-MOS)													
	0	OFF ("L")													
"L"	1	OFF ("L")													
	0	OFF ("L")													
/INT	出力	アラーム、定周期タイマ割り込みなどの 割り込み信号 ("L" レベル) を出力します。 この端子はオープンドレイン端子です。													
VDD	–	+電源に接続します。													
GND	–	電源のマイナス側 (グラウンド) に接続します。													
(GND)	–	GND と同電位ですが、外部接続しないでください。													
N.C.	–	内部 IC と結線されていません。 OPEN もしくは、GND または VDD と接続してください。 注) RTC – 8564NB (SON-22pin) の 14 番 pin ~ 22 番 pin の N.C.端子は、内部フレームによって相互に接続されていますので ご注意ください。													

注) VDD – GND 間直近に 0.1 μF 以上のパコンを 必ず接続してください。

4. 外形寸法図 / マーキングレイアウト

4.1. 外形寸法図

RTC – 8564 JE (VSOJ – 20pin)

- 外形寸法図
- 推奨はんだ付けパターン図

* 点線内(表・裏)の一部に 内蔵水晶振動子の金属ケースが見えることがありますが、デバイスの特性に 影響はありません。

RTC – 8564 NB (SON – 22pin)

- 外形図
- はんだ付けパターン図

Unit : mm

*1) 点線内(表・裏)の一部に 内蔵水晶振動子の金属ケースが見えることがありますが、デバイスの特性に 影響はありません。

*2) パターンレイアウト禁止範囲です。この部分の部品面には、いかなるパターンもレイアウトしないでください。
 * 製品裏面の 部分には、内部で IC と接続された端子が露出しています。
 この部分がパターン（電位の無いベタパターンを含む）と接触してしまいますと、発振機能・製品動作などに影響を及ぼす可能性があります。

*3) GNDパターン推奨範囲です。信号線を接近させず、可能であればGNDパターンで埋めてください。

4.2. マーキングレイアウト

RTC – 8564 JE (VSOJ – 20pin)

RTC – 8564 NB (SON – 22pin)

※ 表示内容は、捺印と表示の大略を示すもので、字形・大きさ 及び 位置の詳細を規定するものではありません。

5. 絶対最大定格

GND=0 V

項目	記号	条件	定格値	単位
供給電圧	VDD	VDD – GND 間	-0.5 ~ +6.5	V
供給電流	IDD	VDD 端子	-50 ~ 50	mA
入力電圧	Vi	入力端子	GND-0.5 ~ VDD+0.5	V
出力電圧	Vo	/INT 端子	GND-0.5 ~ VDD+0.5	V
DC 入力電流	Ii		-10 ~ 10	mA
DC 出力電流	Io		-10 ~ 10	mA
保存温度範囲	TSTG	梱包状態を除く 単品での保存	-55 ~ +125	°C

6. 推奨動作条件

GND=0 V

項目	記号	条件	範囲	単位
電源電圧範囲	VDD	I ² C-BUS アクセス 400 kHz 時	1.8 ~ 5.5	V
計時電圧範囲	VDD		V _{LOW} ^(*) ~ 5.5	V
動作温度範囲	TOPR	結露無きこと	-40 ~ +85	°C

*1) [8.1. DC 電気的特性] を参照。

7. 周波数特性

※特記無き場合、GND = 0 V , Ta = +25 °C , VDD = 3.0 V

Item	Symbol	Comments	Min.	Typ.	Max.	Unit
出力周波数	fo			32.768 ^(Typ.)		kHz
周波数偏差	Δ f / f	Ta = +25 °C VDD = 3.0 V		5 ± 23 ^(*)		× 10 ⁻⁶
周波数電圧特性	f / V	Ta = +25 °C VDD = 1.0 V ~ 5.5 V	-2		+2	× 10 ⁻⁶ / V
周波数温度特性	Top	Ta = -10 °C ~ +70 °C VDD = 3.0 V ; +25 °C 基準	-120		+10	× 10 ⁻⁶
発振開始時間	tSTA	Ta = +25 °C VDD = 1.8 V			3.0	s
エージング	fa	Ta = +25 °C VDD = 3.0 V ; 初年度	-5		+5	× 10 ⁻⁶ / year

*1) 月差 1 分相当。(オフセット値を除く)

8. 電気的特性

8.1. DC 電気的特性

※特記無き場合、GND = 0 V, V_{DD} = 1.8 V ~ 5.5 V, Ta = -40 °C ~ +85 °C

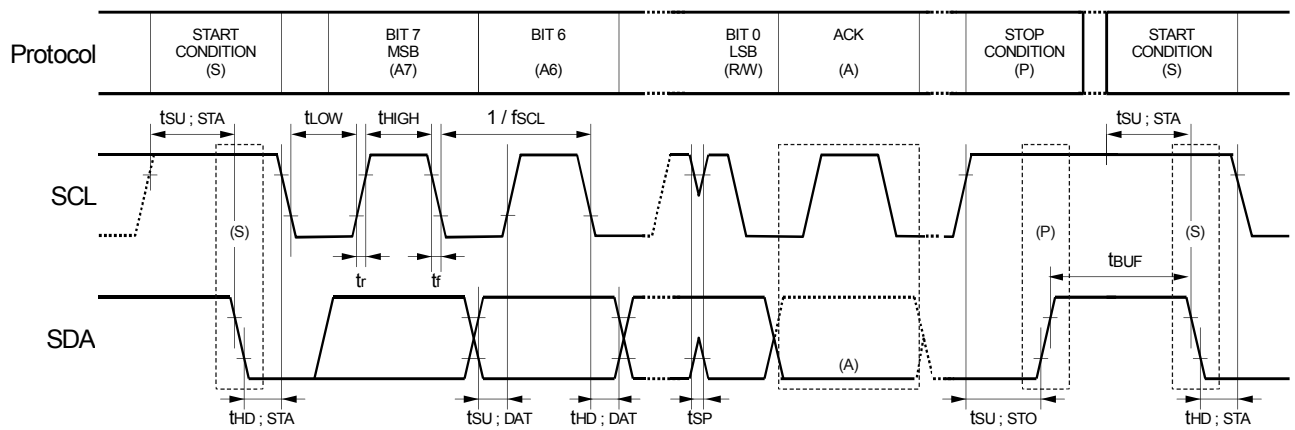
項目	記号	条件	Min.	Typ.	Max.	単位
電源電流 アクセス時 (CLKOUT = OFF)	IDD	fSCL = 400 kHz			800	μA
		fSCL = 100 kHz			200	μA
電源電流 非アクセス時 (CLKOUT = OFF)	IDD	fSCL = 0 Hz, V _{DD} = 5.0 V		330	800	nA
		fSCL = 0 Hz, V _{DD} = 3.0 V		275	700	nA
		fSCL = 0 Hz, V _{DD} = 2.0 V		250	650	nA
電源電流 非アクセス時 (CLKOUT = 32.768 kHz , No Load (CL = 0 pF) 時)	IDD32K	fSCL = 0 Hz, V _{DD} = 5.0 V		2.5	3.4	μA
		fSCL = 0 Hz, V _{DD} = 3.0 V		1.5	2.2	μA
		fSCL = 0 Hz, V _{DD} = 2.0 V		1.1	1.6	μA
"L" 入力電圧	V _{IL}		GND - 0.5		0.3 × V _{DD}	V
"H" 入力電圧	V _{IH}		0.7 × V _{DD}		V _{DD} + 0.5	V
"L" 出力電流	I _{OL} (SDA)	V _{OL} = 0.4 V, V _{DD} = 5 V	-3			mA
"L" 出力電流	I _{OL} (/INT)	V _{OL} = 0.4 V, V _{DD} = 5 V	-1			mA
"L" 出力電流	I _{OL} (CLKOUT)	V _{OL} = 0.4 V, V _{DD} = 5 V	-1			mA
"H" 出力電流	I _{OH} (CLKOUT)	V _{OH} = 4.6 V, V _{DD} = 5 V			1	mA
リーク電流	I _{LO}	V _O = V _{DD} or GND	-1		1	μA
電圧低下検出	V _{LOW}	Ta = -20 °C ~ +70 °C		0.9	1.0	V
		Ta = -40 °C ~ +85 °C		0.9	1.1	V

8.2. AC 電气的特性

※特記無き場合、GND = 0 V, VDD = 1.8 V ~ 5.5 V, Ta = -40 °C ~ +85 °C

項目	記号	条件	Min.	Typ.	Max.	単位
SCL クロック周波数	fSCL				400	kHz
開始条件 セットアップ時間	tsu;STA		0.6			μs
開始条件 ホールド時間	tHD;STA		0.6			μs
データ セットアップ時間	tsu;DAT		100			ns
データ ホールド時間	tHD;DAT		0			ns
停止条件 セットアップ時間	tsu;STO		0.6			μs
開始条件と停止条件の間のバスフリー時間	tBUF		1.3			μs
SCL "L" 時間	tLOW		1.3			μs
SCL "H" 時間	tHIGH		0.6			μs
SCL, SDA 立ち上がり時間	tr				0.3	μs
SCL, SDA 立ち下がり時間	tf				0.3	μs
バス上の許容スパイク時間	tSP				50	ns

タイミングチャート

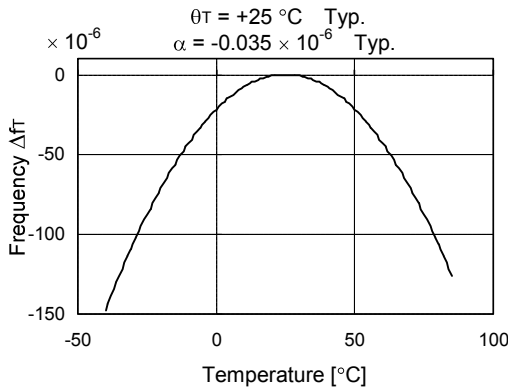


注意 :

- (1) 本デバイスへのアクセスは、[START コンディションの送信からアクセス終了後の STOP コンディション送信までの一連の通信] を 1 秒未満で完了させてください。
1 秒以上の時間がかかった場合は、内部の BUS タイムアウト機能により I²C-BUS インタフェースがリセットされます。
- (2) データ書き込み時は、8 ビット単位のデータを入力する必要があります。8 ビット単位のデータ入力の途中で中断状態となった時は、その 8 ビットデータは正常な書き込みができません。

9. 参考データ

(1) 周波数温度特性例



[周波数安定度の求め方]

1. 周波数温度特性は、以下の式で近似できます。

$$\Delta fT = \alpha (\theta T - \theta X)^2$$

- ΔfT : 任意の温度における周波数偏差
- $\alpha [1/^\circ C^2]$: 2次温度係数
(-0.035 ± 0.005) $\times 10^{-6} / ^\circ C^2$
- $\theta T [^\circ C]$: 頂点温度 (+25 \pm 5 $^\circ C$)
- $\theta X [^\circ C]$: 任意の温度

2. 時計精度を求めるためには、更に周波数精度と電圧特性を加えます。

$$\Delta f/f = \Delta f/fo + \Delta fT + \Delta fV$$

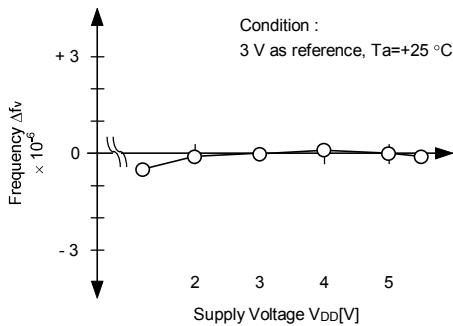
- $\Delta f/f$: 任意の温度, 電圧における時計精度 (周波数安定度)
- $\Delta f/fo$: 周波数精度
- ΔfT : 任意の温度における周波数偏差
- ΔfV : 任意の電圧における周波数偏差

3. 日差の求め方

$$\text{日差} = \Delta f/f \times 86400[\text{秒}]$$

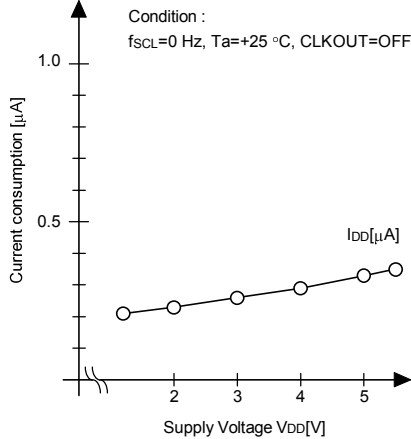
* たとえば、 $\Delta f/f = 11.574 \times 10^{-6}$ で約 1 秒/日の誤差になります。

(2) 周波数電圧特性例

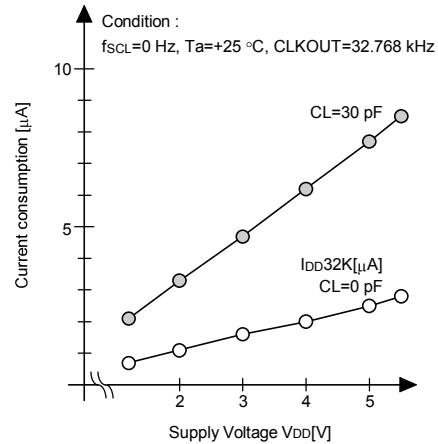


(3) 消費電流電圧特性

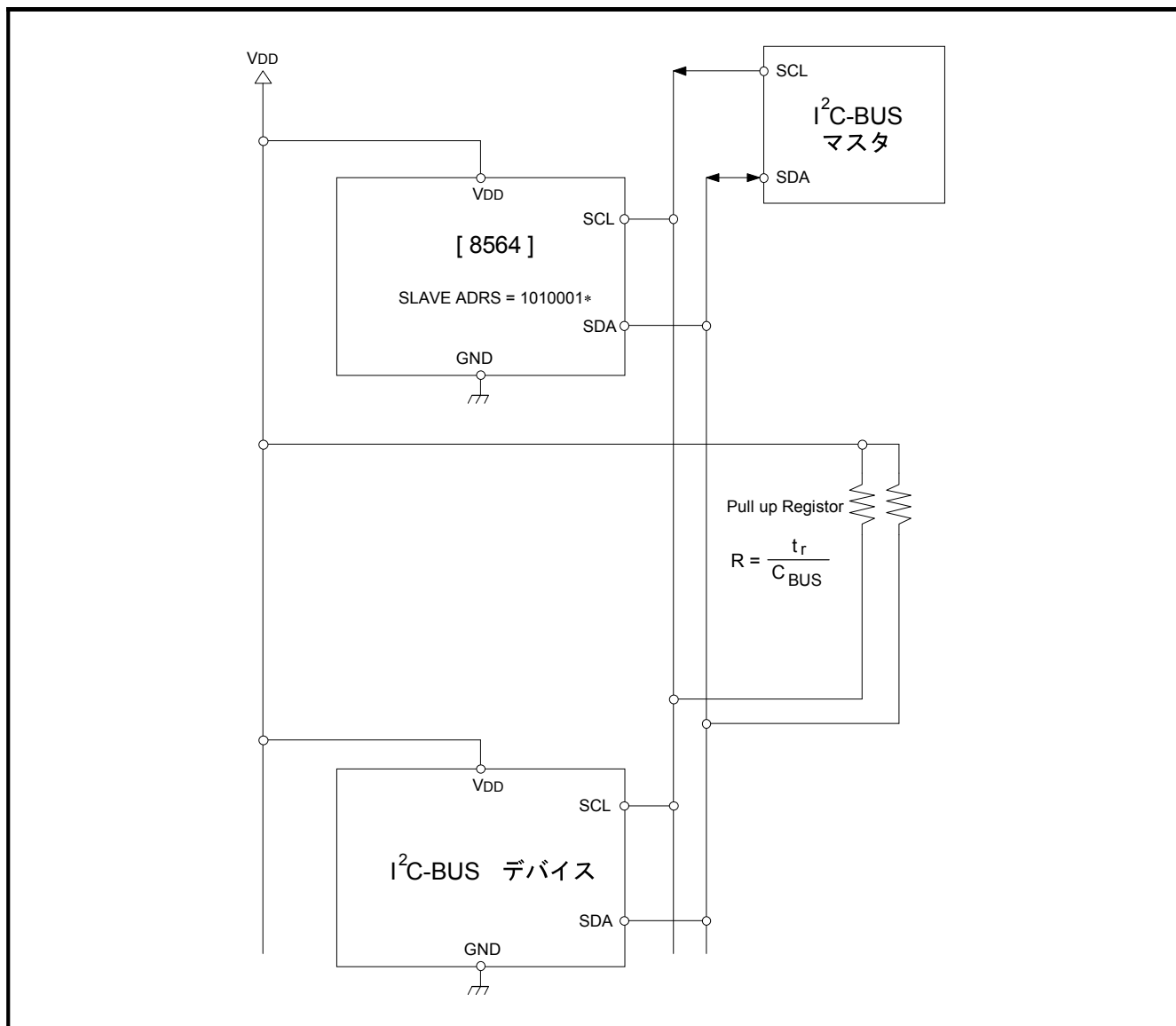
(3-1) 非アクセス時 消費電流 (i)
CLKOUT=OFF 時



(3-2) 非アクセス時 消費電流 (ii)
CLKOUT=32.768 kHz 時



10. 外部接続例



11. 取り扱い上の注意事項

1) 取り扱い上の注意事項

- 本モジュールは水晶振動子を内蔵していますので、過大な衝撃・振動を与えないようにしてください。
また、低消費電力実現のために C-MOS IC を用いておりますので、以下に注意して使用してください。

(1) 静電気

耐静電気破壊保護回路は内蔵しておりますが、過大な静電気が加わると IC が破壊されるおそれがありますので、梱包 および 運搬容器には導電性の物を使用してください。
はんだごてや測定回路などは高電圧リークのないものを使用し、また、実装時・作業時にも静電気対策をお願いいたします。

(2) ノイズ

電源 および 入出力端子に過大な外来ノイズが印加されますと、誤動作やラッチアップ現象等による破壊の原因となることがあります。

安定動作のため、本モジュールの電源端子 (VDD-GND 間) の極力近い場所に、0.1 μ F 以上のパコン(セラミックを推奨)を使用してください。また、本モジュールの近くには、高ノイズを発生するデバイスを配置しないようにしてください。

※ 図 1 の網掛部分()には信号線を接近させず、可能であれば GND パターンで埋めてください。

(3) 入力端子の電位

入力端子が中間レベルの電位になることは、消費電力の増加, ノイズマージンの減少, 素子の破壊等につながりますので、できるだけ VDD または GND の電位に近い電位に設定してください。

(4) 未使用入力端子の処理

入力端子の入カインピーダンスは非常に高く、開放状態での使用は不定電位やノイズによる誤動作の原因につながります。未使用の入力端子は、プルアップ または プルダウン抵抗による処理を必ず施してください。

2) 実装上の注意事項

(1) はんだ付け温度

パッケージ内部が +260 $^{\circ}$ C を越えますと、水晶振動子の特性劣化 および 破壊を招く場合がありますので、弊社はんだ耐熱性評価プロファイルを超えない領域でのご使用を推奨します。ご実装前に必ず実装条件 (温度・時間) をご確認ください。また、条件変更時も同様の確認をしていただいた後に ご使用ください。

※ 図 2 に、弊社はんだ耐熱性評価プロファイルを参考掲載します。

(2) 実装機

汎用実装機の使用が可能ですが、使用機器、条件等によっては実装時の衝撃力により内蔵の水晶振動子の破壊を招く場合がありますので、ご使用前には必ず貴社にてご確認ください。条件変更時も同様の確認をしていただいた後に ご使用ください。

実装時・作業時には、静電気対策をお願いいたします。

(3) 超音波洗浄

超音波洗浄は、使用条件によっては内蔵の水晶振動子が共振破壊される場合があります。貴社での使用条件 (洗浄機の種類、パワー、時間、槽内の状態等) を弊社にて特定できませんので、超音波洗浄の保証はいたしかねます。

(4) 実装方向

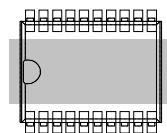
逆向きに実装しますと破壊の原因となります。方向を確認した上で実装を行なってください。

(5) 端子間リーク

製品が汚れていたり結露している状態などで電源投入しますと端子間リークを招く場合がありますので、洗浄しさらに乾燥させた後に電源投入を行なってください。

図 1 : GND パターン例

RTC – 8564 JE (VSOJ – 12 pin)



RTC – 8564 NB (SON – 22 pin)

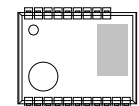
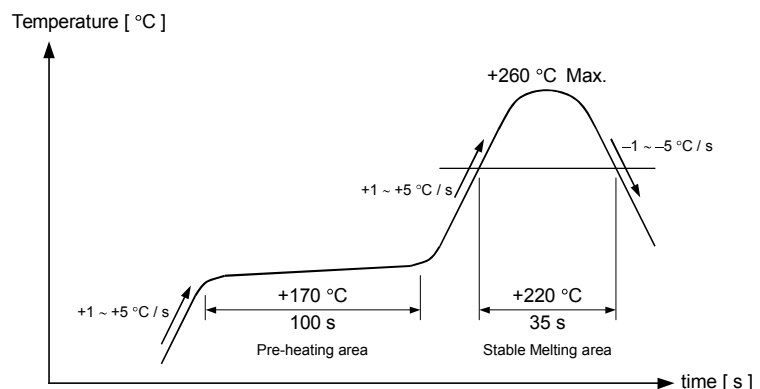


図 2 : 弊社はんだ耐熱性評価プロファイル (参考)



12. 機能概要 および レジスタテーブル

12.1. 機能概要

1) 時計機能

西暦の下二桁と 年・月・日, 曜, 時・分・秒までのデータの設定 / 計時 / 読み出しが可能です。

西暦の下二桁が4の倍数のときは自動的にうるう年と認識し、2099年までを自動判別します。

* 詳細は [項 13.1. レジスタ説明] を参照してください。

2) 定周期タイマ割り込み機能

定周期タイマ割り込み機能は、244.14 μ s ~ 255 min までの任意の周期にて 定期的な割り込みイベントを発生させる機能です。

割り込みイベント発生時には TF ビット = "1" かつ /INT 端子 = "L" になるなど、イベントの発生を知ることができます。

* 詳細は [項 13.2. 定周期タイマ割り込み機能] を参照してください。

3) アラーム割り込み機能

アラーム割り込み機能は、[分], [時], [曜], [日] に対する割り込みイベントを発生させる機能です。

割り込みイベント発生時には AF ビット = "1" かつ /INT 端子 = "L" になるなど、イベントの発生を知ることができます。

* 詳細は [項 13.3. アラーム割り込み機能] を参照してください。

4) 32.768 kHz 出力機能

内蔵水晶振動子と同精度の 32.768 kHz クロックを、CLKOUT 端子から出力 (CMOS 出力) することができます。

その他の周波数が必要な場合には、32.768 kHz, 1024 Hz, 32 Hz, 1 Hz から選択出力させることもできます。

* 詳細は [項 13.1.9. CLKOUT 出力 設定レジスタ] を参照してください。

12.2. レジスタテーブル

Address [h]	Function	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	note
00	Control 1	TEST	0	STOP	0	TEST	0	0	0	*3, *4
01	Control 2	0	×	0	TI / TP	AF	TF	AIE	TIE	*4, *5
02	Seconds	VL	40	20	10	8	4	2	1	*1
03	Minutes	×	40	20	10	8	4	2	1	*5
04	Hours	×	×	20	10	8	4	2	1	*5
05	Days	×	×	20	10	8	4	2	1	*5
06	Weekdays	×	×	×	×	×	4	2	1	*5
07	Months / Century	C	×	×	10	8	4	2	1	*5
08	Years	80	40	20	10	8	4	2	1	
09	Minute Alarm	AE	40	20	10	8	4	2	1	
0A	Hour Alarm	AE	×	20	10	8	4	2	1	*5
0B	Day Alarm	AE	×	20	10	8	4	2	1	*5
0C	Weekday Alarm	AE	×	×	×	×	4	2	1	*5
0D	CLKOUT frequency	FE	×	×	×	×	×	FD1	FD0	*2, *5
0E	Timer control	TE	×	×	×	×	×	TD1	TD0	*5
0F	Timer	128	64	32	16	8	4	2	1	

- 注) 0Vからの初期電源投入時 および VL ビット読み出し時の結果が VL="1"のときは、必ず全てのレジスタを初期設定してから使用してください。
そのさい、日付・時間として正しくないデータの設定はしないでください。その場合の計時動作は保証できません。
- *1. 0Vからの初期電源投入時には、パワーオンリセット機能によって、VLビットは"1"にセットされます。
* このときの他のレジスタの値は不定ですので、必ず初期設定を実施してから使用してください。
- *2. 0Vからの初期電源投入時には、パワーオンリセット機能によって、FE ビットは"1"にセットされ、また、FD1,FD0 ビットは"0"にリセットされます。
* このとき CLKOE 入力端子="H"であれば、CLKOUT 出力端子から 32.768 kHz が出力されます。
- *3. アドレス 00 (Control 1) の 2 つの TEST ビットは 弊社テスト用ビットです。
初期設定にて必ず"0"を書き込んでから使用してください。また以後も、書き込み時は必ず"0"を設定してください。
*"1"にセットされた場合は、デバイスのいかなる動作も保証できません。
- *4. '0' マークは、初期設定以降"0"にて ご使用ください。
- *5. 'x' マークは、書き込み不可能で また 読み出し値は不定です。読み出し後は マスク処理をしてください。

13. 使用方法

13.1. レジスタ説明

13.1.1. コントロールレジスタ 1 (Reg-00 [h])

Address [h]	Function	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
00	Control 1	TEST	0	STOP	0	TEST	0	0	0

- 時計, カレンダーを始めとした機能の停止/動作 を制御するためのレジスタです。

1) TEST ビット (bit 7, bit 3)

2つの TEST ビットは 弊社テスト用ビットです。

初期設定にて 必ず "0" を書き込んでから使用してください。 また以後も、書き込み時は 必ず "0" を設定してください。

* "1" にセットされた場合は、デバイスのいかなる動作も保証できません。

2) STOP ビット

時計, カレンダー, アラーム, タイマ などの機能を停止させます。

STOP ビットを "1" にすると、時計, カレンダー, アラーム, タイマ などの動作が停止します。

- *1) [STOP ビットが "1" の間は 時刻更新が停止] します。 ご注意ください。
 - (1) [時計, カレンダーの読み出しは、STOP ビットを "0" のままで 読み出し] を してください。
 - (2) [STOP ビット = "1" とするのは、時計, カレンダーの書き込み時のみに限定] と してください。
- *2) STOP "1" のときの CLKOUT は、選択周波数によっては 出力が停止します。 ご注意ください。
 - (1) 32.768 kHz を選択出力させているときは、32.768 kHz を継続出力します。
 - (2) 他の設定 (1024Hz, 32Hz, 1Hz) では CLKOUT 出力が停止します。
- *3) STOP "1" のときは、I²C-BUS の バス・タイムアウト機能は 働きません。 ご注意ください。

STOP ビットを "0" にすると、動作を再開 (停止を解除) します。

- * STOP ビットを "1" → "0" にした直後の 1 回のみ、(1 秒を待たず) 0.5 秒後に [秒] 更新します。
(これにより、実際の時間と 構築システムの時刻更新処理に時間差があっても、
実際の時間との誤差を ±0.5 秒 以内に抑えることができます。)

13.1.2. コントロールレジスタ 2 (Reg – 01 [h])

Address [h]	Function	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
01	Control 2	0	×	0	TI/TP	AF	TF	AIE	TIE

- 各種割り込みイベント動作の設定 や 各種割り込みイベントの発生状況の把握を行うためのレジスタです。

1) TI / TP ビット (Interrupt Signal Output Mode Select. Interrupt / Periodic)

定周期タイマ割り込みイベント発生時 (TF, "0" → "1") に、その割り込み動作を 1 回で終了させるかまたは 繰り返し継続させるかを 選択指定するビットです。

"1" の書き込みで、繰り返しの継続動作になります。

"0" の書き込みで、1 回限り 動作します。

* 詳細は [項 13.2. 定周期タイマ割り込み機能] を参照してください。

2) AF ビット (Alarm Flag)

アラーム割り込みイベントを検出して、結果を保持するフラグビットです。

アラーム割り込みイベントが発生すると、"0" → "1" に変化します。

* 詳細は [項 13.3. アラーム割り込み機能] を参照してください。

3) TF ビット (Timer Flag)

定周期タイマ割り込みイベントを検出して、結果を保持するフラグビットです。

定周期タイマ割り込みイベントが発生すると、"0" → "1" に変化します。

* 詳細は [項 13.2. 定周期タイマ割り込み機能] を参照してください。

4) AIE ビット (Alarm Interrupt Enable)

アラーム割り込みイベント発生時 (AF, "0" → "1") の、/INT 割り込み信号の動作を設定します。

"1" の書き込みにより、割り込みイベント発生時に /INT 端子から "L" レベルの割り込み信号を発生させることができます。

"0" の書き込みでは、/INT 端子からの "L" レベル出力を禁止します。

* 詳細は [項 13.3. アラーム割り込み機能] を参照してください。

5) TIE ビット (Timer Interrupt Enable)

定周期タイマ割り込みイベント発生時 (TF, "0" → "1") の、/INT 割り込み信号の動作を設定します。

"1" の書き込みにより、割り込みイベント発生時に /INT 端子から "L" レベルの割り込み信号を発生させることができます。

"0" の書き込みでは、/INT 端子からの "L" レベル出力を禁止します。

* 詳細は [項 13.2. 定周期タイマ割り込み機能] を参照してください。

13.1.3. 時計カウンタ (Reg – 02 [h] ~ 04 [h])

Address [h]	Function	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
02	Seconds	VL	40	20	10	8	4	2	1
03	Minutes	×	40	20	10	8	4	2	1
04	Hours	×	×	20	10	8	4	2	1

- [秒], [分], [時] を計時します。
- データ形式は BCD 形式で、たとえば [Seconds] レジスタが "0101 1001" ならば 59[秒]を意味します。
 - * 時計データを書き換えるときは、STOP ビットを "1" にして 計時動作を停止させた状態で行うことを推奨します。（データ書き換え中の 不用意な桁上げ発生を防止することで、より適切な 時計合わせができます。）
 - * 存在しない時刻データが書き込まれた場合は 正常な動作ができない原因になりますので ご注意ください。

1) [Seconds] レジスタ

[秒] を計時するカウンタです。
00 秒, 01 秒, 02 秒 ~ 59 秒, 00 秒, 01 秒 ~ の順に 更新します。

2) [Minutes] レジスタ

[分] を計時するカウンタです。
00 分, 01 分, 02 分 ~ 59 分, 00 分, 01 分 ~ の順に 更新します。

3) [Hours] レジスタ

[時] を、24 時間制で計時するカウンタです。
00 時, 01 時, 02 時 ~ 23 時, 00 時, 01 時 ~ の順に 更新します。

4) VL ビット (Voltage Low Flag)

電圧低下を検出して、結果を保持するフラグビットです。
電源電圧が V_{Low}[V]以下^(*)に低下すると、"0" → "1" に変化します。
読み出し時 "1" のときの本 RTC の内容は無効ですので、その場合は、必ず 全てのレジスタを初期設定してから使用してください。

(1) 本 VL フラグは、0V からの初期電源投入時に "1" にセットされています。
このときの他のレジスタの値は不定ですので、必ず初期設定を実施してから使用してください。

(2) バックアップ状態からの復帰時には 本 VL フラグを読み出し、"1" であったときは 必ず初期設定を実施してから使用してください。

(3) 初期設定時は、次回の検出に備えるために 本 VL フラグを "0" クリアしてください。

(4) 本 VL フラグは、バックアップバッテリーなどの [電圧が徐々に低下してきた状況において 電圧低下警告を行なう] 目的で設計されていますので、電源チャタリングなどの急峻な電圧変動には反応できません。

①電源初期投入のため VL="1" となります。
②電源低下時に V_{Low} 電圧まで落ちていないため、VL="0" のまま変化しません。
③電源低下時に V_{Low} 電圧を下回っているため、VL="1" となります。
※②,③の VL ビットの値は、①にて VL ビットをゼロクリアする必要があります。

(5) 本 VL フラグは、データ不問でライトクリアされます。
本レジスタへの書き込みを行なう前には、値を読み出してください。

13.1.4. カレンダーカウンタ (Reg – 05 [h], 07 [h], 08 [h])

Address [h]	Function	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
05	Days	×	×	20	10	8	4	2	1
07	Months / Century	C	×	×	10	8	4	2	1
08	Years	80	40	20	10	8	4	2	1

- 2001年01月01日～2099年12月31日までの [日], [月], [年] を、オートカレンダー機能によって更新します。
- データ形式はBCD形式で、たとえば [Days]レジスタが "xx11 0001" ならば 31日を意味します。
- * 存在しないカレンダーデータが書き込まれた場合は正常な動作ができない原因になりますので ご注意ください。

1) [Days] レジスタ

- [日] のカウンタです。
- * [月] によって 更新状況が異なります。
- * [年] が 4 の倍数のとき (04年, 08年, 12年 – 88年, 92年, 96年) は "うるう年" になりますので、その年の02月の [日] の更新は 02月01日, 02日, 03日～28日, 29日 → 03月01日～となります。

[Days]	月	更新内容
Write / Read	1, 3, 5, 7, 8, 12月	01日, 02日, 03日～30日, 31日, 01日～
	4, 6, 9, 11月	01日, 02日, 03日～30日, 01日, 02日～
	2月 かつ 通常年	01日, 02日, 03日～28日, 01日, 02日～
	2月 かつ うるう年	01日, 02日, 03日～28日, 29日, 01日～

2) [Months / Century] レジスタ

- [月] のカウンタです。
- 01月, 02月, 03月～12月, 01月, 02月～の順に 更新します。

3) [YEAR] レジスタ

- [年] のカウンタです。
- 00年, 01年, 02年～99年, 00年, 01年～の順に 更新します。
- * [年] が 4 の倍数のとき (04年, 08年, 12年 – 88年, 92年, 96年) は うるう年になります。

4) C ビット (Century bit)

西暦の世紀更新を示すビットです。
 年桁データが99から00にオーバーフロー更新すると、本ビットが "0" → "1" にセットされます。
 * 21世紀中に0を設定しておきますと、西暦2100年になったときに "1" にセットされます。(ただし正確には、2101年が22世紀初年になります。)

13.1.5. 曜日カウンタ (Reg – 06 [h])

Address [h]	Function	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
06	Weekdays	×	×	×	×	×	4	2	1

- [曜 (曜日)] を bit 0～bit 2 までの 3ビットにて示します。

[Weekdays]	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	曜日
Write / Read	×	×	×	×	×	0	0	0	日
	×	×	×	×	×	0	0	1	月
	×	×	×	×	×	0	1	0	火
	×	×	×	×	×	0	1	1	水
	×	×	×	×	×	1	0	0	木
	×	×	×	×	×	1	0	1	金
	×	×	×	×	×	1	1	0	土

* 上記7種以外の設定は、正常な動作ができない原因になりますので ご注意ください。

13.1.6. アラームレジスタ (Reg – 09 [h] ~ 0C [h])

Address [h]	Function	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
09	Minute Alarm	AE	40	20	10	8	4	2	1
0A	Hour Alarm	AE	×	20	10	8	4	2	1
0B	Day Alarm	AE	×	20	10	8	4	2	1
0C	Weekday Alarm	AE	×	×	×	×	4	2	1

- アラーム割り込み機能を使用して [曜], [日], [時], [分] などに対する割り込みイベントを得たいときに、AIE, AF ビットと ともに設定/使用します。
- 上記アラームレジスタの設定状況に 現時刻が一致すると、AF ビット = "1" かつ /INT 端子 = "L" となるなど、アラーム割り込みイベントの発生を知ることができます。

* 詳細は [項 13.3. アラーム割り込み機能] を参照してください。

13.1.7. 定周期タイマ割り込み機能 制御レジスタ (Reg – 0E [h])

Address [h]	Function	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
0E	Timer control	TE	×	×	×	×	×	TD1	TD0

- 定周期タイマ割り込み機能を制御するためのレジスタです。
- 定周期タイマ割り込み機能を使用するには、TI / TP ビット (Reg – 01 [h]), Timer レジスタ (Reg – 0F [h]), および TF, TIE ビットと ともに設定/使用します。

1) TE ビット (Timer Enable)

定周期タイマ割り込み機能の動作を制御するビットです。

"1" の書き込みで、定周期タイマ割り込み機能が動作を開始します。

"0" の書き込みで、定周期タイマ割り込み機能を停止させます。

* 詳細は [項 13.2. 定周期タイマ割り込み機能] を参照してください。

2) TD1,TD0 ビット (Timer countDown interval select 1, 0)

定周期タイマ割り込み機能のカウントダウン周期 (ソースクロック) を選択指定するビットです。

この2つのビットの組み合わせで、全4種類より選択できます。

* 詳細は [項 13.2. 定周期タイマ割り込み機能] を参照してください。

13.1.8. 定周期タイマ用ダウンカウンタ (Reg – 0F [h])

Address [h]	Function	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
0F	Timer	128	64	32	16	8	4	2	1

- 定周期タイマ割り込み機能を使用するさいの、カウントダウン初期値 (プリセット値) を設定するレジスタです。カウンタの設定は 1 (01 h) ~ 255 (FF h) の範囲で設定できます。
- 定周期タイマ割り込み機能を使用するには、TE, TI / TP, TF, TIE, TD1, TD0 ビットと ともに設定/使用します。
- 本ダウンカウンタのカウント値が 01 h → 00 h になると、TF ビット = "1", /INT 端子 = "L" となるなど、定周期タイマ割り込みイベントの発生を知ることができます。
- 本レジスタを読み出すと、カウントダウン中の状況が確認出来ます。
 - * 但し、読み出されるデータはホールドされない (データ変化中のばあいがある) ため、正しいデータを得るためには 2 度読み比較などをしてください。

* 詳細は [項 13.2. 定周期タイマ割り込み機能] を参照してください。

13.1.9. CLKOUT 出力 設定レジスタ (Reg - 0D [h])

Address [h]	Function	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
0D	CLKOUT frequency	FE	x	x	x	x	x	FD1	FD0

- CLKOUT 出力端子のクロック出力を制御します。
- CLKOE 入力端子 = "H" のときのみ 本レジスタが有効になり、本レジスタの設定によるクロックを出力 もしくは 出力を停止 します。
* CLKOE 入力端子が "L" のときは、本レジスタの設定にかかわらず CLKOUT = "L" と なります。

1) FE ビット (Frequency output Enable)

本レジスタが有効なとき (CLKOE = "H" のとき) に限り、CLKOUT 端子の出力状態を制御します。
本 FE ビットが "1" のとき、CLKOUT 端子を出力状態にします。 このときの出力内容は、FD1, FD0 ビットで指定した周波数になります。
本 FE ビットが "0" のときは、CLKOUT 端子を出力停止状態 ("L") にします。

2) FD1, FD0 ビット

FD1, FD0 ビットの組み合わせにより、出力する周波数を選択します。

3) 各種設定による CLKOUT 出力動作

CLKOE pin input	FE bit	FD1 bit	FD0 bit	CLKOUT pin output
"H"	1	0	0	32768 Hz Output (C-MOS)
		0	1	1024 Hz Output (C-MOS)
		1	0	32 Hz Output (C-MOS)
		1	1	1 Hz Output (C-MOS)
	0	X	X	OFF ("L")
"L"	1	X	X	OFF ("L")
	0	X	X	OFF ("L")

X : don't care

- * 0V からの初期電源投入時には、パワーオンリセット機能によって FE ビットは "1" にセットされ、また、FD1,FD0 ビットは "0" にリセットされます。
よって、このとき CLKOE 入力端子を "H" にすることで、初期電源投入時から CLKOUT 出力端子より 32.768 kHz 出力を得ることができます。

注) STOP ビットが "1" のときの CLKOUT 出力動作

STOP "1" のときの CLKOUT は、選択周波数によっては 出力が停止します。 ご注意ください。
(1) 32.768 kHz を選択出力させているときは、32.768 kHz を継続出力します。
(2) 他の設定 (1024Hz, 32Hz, 1Hz) では CLKOUT 出力が停止します。

13.2. 定周期タイマ割り込み機能

定周期タイマ割り込み機能は、244.14 μ s ~ 255 min までの任意の周期 (period) にて 定期的な割り込みイベントを発生させる機能です。

動作モードには、1 回限りで動作が終了する [レベル割り込みモード] と、自動的に繰り返し動作を継続する [繰り返し割り込みモード] の 2 種類があります。

それぞれの割り込みイベント発生時には、TF ビット = "1" かつ /INT 端子 = "L" と なるなど、イベントの発生を知ることができます。

13.2.1. 定周期タイマ割り込み機能 機能概要

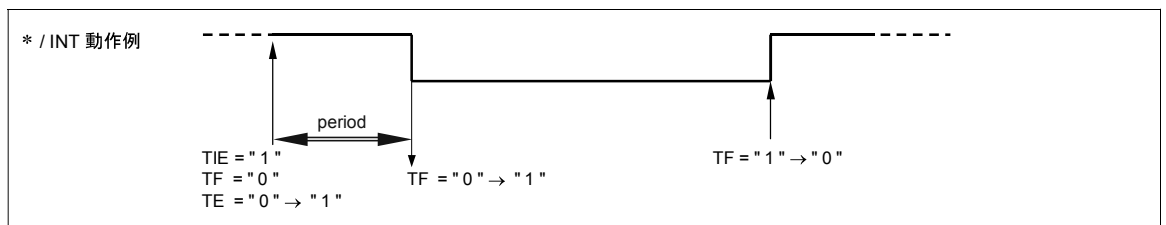
- 定周期タイマ割り込み機能は、いくつかの設定を組み合わせながら使用します。
 - (1) 動作モード (レベル割り込みモード または 繰り返し割り込みモード) の設定。
 - (2) 定周期タイマの動作時間 (period = カウントダウン基準周期 \times カウント数) の設定。
 - (3) 動作時間経過時に、/INT 出力端子から 割り込み信号を出力 ("L" レベル) するか / しないか の設定。
- 定周期タイマ動作をスタート (TE, "0" \rightarrow "1") させると、設定時間後に 各種イベントが発生します。
 - (1) 定周期タイマ割り込みイベントの発生を示す TF ビット (Timer Flag) が、"0" \rightarrow "1" に変化する。
 - (2) TIE ビット (Timer Interrupt Enable) が "1" のとき、/INT 出力端子が Hi-z \rightarrow "L" に変化する。

1) レベル割り込みモード 概要説明 (TI / TP ビット = "0")

割り込みイベント発生後、1 回限りで動作を終了します。

* 但し、[定周期タイマ動作を停止させずに (TE = "1" のまま) TF ビットだけを "0" クリアした場合] には、その次のタイマ周期 (Period) にて、再度 割り込みイベントが発生しますので ご注意ください。

レベル割り込みモード時に 割り込みイベントが発生すると、/INT 出力が "L" レベルに変化します。"L" レベル出力は、TF ビットを "0" クリアするまで維持されます。(TIE = "1" のとき)



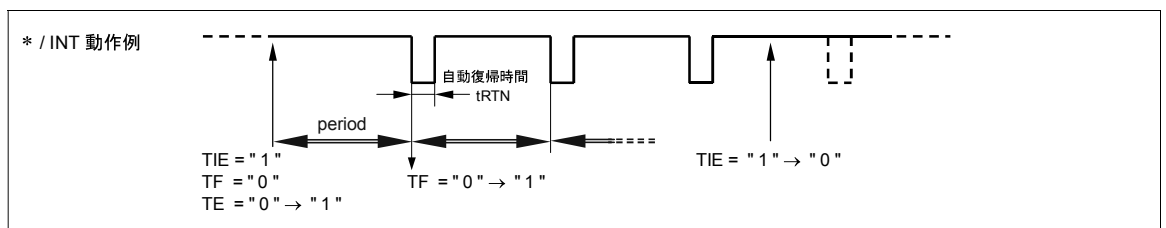
2) 繰り返し割り込みモード 概要説明 (TI / TP ビット = "1")

割り込みイベント発生後、自動的に繰り返し動作を継続します。

繰り返し割り込みモード時に 割り込みイベントが発生すると、/INT 出力が tRTN 時間の間だけ "L" レベルに変化し、その後は自動的に解除されて Hi-z 状態に戻ります

一旦 Hi-z に戻っても、次の 割り込みイベント発生時には、再び 同様の /INT 出力が得られます。

以後、定周期タイマ動作を停止させるまで、これを繰り返します。



3) 定周期タイマ割り込み機能 概略説明

(1) TE ビット (Timer Enable) を "0" → "1" にすると、定周期タイマ割り込み機能が スタートします。

* 定周期タイマ割り込み機能をスタートさせるときは、毎回必ず、事前に (TE = "0" のときに) タイマ用ダウンカウンタの任意設定値 (プリセット値 / Reg - 0F[h]) を書き込んでください。
注) プリセット値の設定 / 再設定をしない場合は、正しい動作ができませんので ご注意ください。

(2) TE ビットが "1" の間、TD1, TD0 ビット (Timer countDown interval select 1, 0) で設定した選択ソースクロック (カウントダウン周期) 毎に、タイマ用ダウンカウンタ (Timer Register / Reg - 0F[h]) を カウントダウンします。

* タイマ周期 (Period) = ソースクロック × タイマ用ダウンカウンタの任意設定値 (プリセット値)

(3) カウントダウン時にカウント値が 0 になったときをイベントの発生とし、次の処理を行います。

*1) TF ビット (Timer Flag) は、"1" になります。

*2) TIE ビット (Timer Interrupt Enable) が "1" のとき、/INT 出力端子は Hi-z → "L" に変化します。

* /INT 出力端子が Hi-z → "L" に変化した後の状態は、TI / TP ビットによる動作モード (レベル割り込みモード / 繰り返し割り込みモード) の設定により、/INT = "L" が維持されるか / Hi-z に自動解除されるか が異なります

*3) タイマ用ダウンカウンタの値を自動的にプリセット値に戻し、引き続き カウントダウンを繰り返します。

* TE ビットが "1" の間は、動作モードはどちらか / イベントは発生済みか などにかかわらず、常に タイマ用ダウンカウンタのカウントダウンを繰り返しています。

(4) TE ビットを "1" → "0" にクリアすると、定周期タイマ割り込み機能は 停止します。

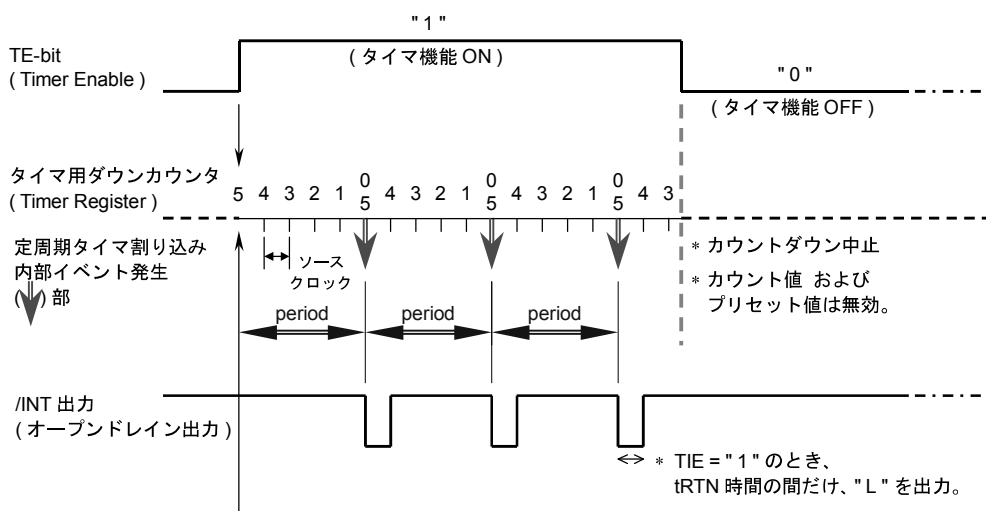
*1) TF ビットは、"0" クリアしない限り、定周期タイマ機能を停止させても "1" を保持します。

*2) タイマ用ダウンカウンタのカウント値は、定周期タイマ機能を停止させた時点で無効となります。

* 定周期タイマ割り込み機能を停止させたとき、タイマ用ダウンカウンタのカウント値 およびプリセット値は無効になります。
* 定周期タイマ割り込み機能の次回スタート時には、必ず、事前に (TE = "0" のときに) プリセット値を 再書き込みしてください。

動作例)

* [繰り返し割り込みモード時 且つ プリセット値 5 (05h)] とした場合の動作例



* TE-bit を "1" にすると、プリセット値 (本例では 5 (05h)) からカウントダウンを開始します。

13.2.2. 定周期タイマ割り込み機能 関連レジスタ

Address [h]	Function	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
01	Control 2	0	×	0	TI / TP	AF	TF	AIE	TIE
0E	Timer control	TE	×	×	×	×	×	TD1	TD0
0F	Timer	128	64	32	16	8	4	2	1

* 定周期タイマ割り込み機能をスタートさせる前には、毎回必ず、事前に (TE = "0" のときに) タイマ用ダウンカウンタの任意設定値 (プリセット値 / Reg - 0F[h]) を書き込んでください。

注) プリセット値の設定 / 再設定をしない場合は、正しい動作ができませんので ご注意ください。

* 動作設定を行うときは、設定中の不用意なハードウェア割り込みを避けるために、

- ① TE ビット "0" → ② TF, TIE ビット "0" の順に、制御関連ビットを "0" クリア (= 動作停止設定) することを推奨します。

1) TI / TP ビット (Interrupt Signal Output Mode Select. Interrupt / Periodic)

定周期タイマ割り込みイベント発生時に、その割り込み動作を 1 回で終了させるか または 繰り返し継続させるかを 選択指定するビットです。

TI / TP	データ	内容
Write / Read	0	[レベル割り込みモード] 定周期タイマ割り込み機能を、1 回限り動作させる
	1	[繰り返し割り込みモード] 定周期タイマ割り込み機能を、繰り返して 継続動作させる

2) TD1, TD0 ビット (Timer countDown interval select 1, 0)

定周期タイマ割り込み機能のカウンタダウン周期 (ソースクロック) を選択指定するビットです。この 2 つのビットの組み合わせで、全 4 種類より選択できます。

TD1, TD0	TD1 (bit 1)	TD0 (bit 0)	ソース クロック	繰り返し割り込みモード時 /INT 自動復帰時間 tRTN	
				プリセット値 n = 1	プリセット値 1 < n
W/R	0	0	4096 Hz / 244.14 μs 周期	122 μs	244 μs
	0	1	64 Hz / 15.625 ms 周期	7.813 ms	15.625 ms
	1	0	1 Hz / 1 秒桁 更新時	15.625 ms	15.625 ms
	1	1	1/60 Hz / 1 分桁 更新時	15.625 ms	15.625 ms

*1) 繰り返し割り込みモード (TI / TP ビット = "1") 時、/INT 端子の "L" → Hi-z への自動復帰時間 tRTN は、ソースクロック および プリセット値 によって上記の様に異なります。

*2) ソースクロック 1 Hz 選択時のカウンタダウンは、内部計時の [秒] 更新に連動しています。

* 内部計時の [秒] 更新に連動していますので、例えば 0.9 秒の時点でタイマ動作を開始した場合には、0.1 秒後に 1 回目のカウンタダウンが発生します。(2 回目以降は 正しい周期で行われます)

*3) ソースクロック 1/60 Hz 選択時のカウンタダウンは、内部計時の [分] 更新に連動しています。

* 内部計時の [分] 更新に連動していますので、例えば 50 秒の時点でタイマ動作を開始した場合には、10 秒後に 1 回目のカウンタダウンが発生します。(2 回目以降は 正しい周期で行われます)

3) 定周期タイマ用ダウンカウンタ (Timer Register)

Timer Register (Reg-0F[h]) は、プリセッtabl・ダウンカウンタの任意設定値 (プリセット値) を設定するレジスタで、カウント値は 1 (01h)~255 (FFh) までの任意の値を設定できます。

定周期タイマ割り込み機能の動作中は、ソースクロックの周期にて このダウンカウンタがカウントダウンし、01h → 00h になると TF ビットが "1" になるなどのイベントが発生します。

- * 定周期タイマ機能を停止させたとき (TE ビットを "1" → "0" にしたとき) は、タイマ用ダウンカウンタのカウント値 および プリセット値は無効になります。
- * 定周期タイマ割り込み機能の次回スタート時には、必ず、事前に (TE = "0" のときに) プリセット値を再書き込みしてください。
- * 定周期タイマ割り込み機能の動作中に本レジスタを読み出すと、カウントダウン中のカウンタ状況が確認出来ます。
(但し、読み出されるデータはホールドされていません (データ変化中のばあいがある) ので、正しいデータを得るためには 2 度読み比較などをしてください。)

4) TE ビット (Timer Enable)

定周期タイマ割り込み機能の動作を開始させるためのビットです。

TE	データ	内容
Write / Read	0	定周期タイマ割り込み機能は 停止する * タイマ用ダウンカウンタのカウントダウンが停止します。
	1	定周期タイマ割り込み機能が 動作する * タイマ用ダウンカウンタがカウントダウンし、カウンタが 01h → 00h になると TF ビットが "1" になるなどのイベントが発生します。 * TE ビットが "1" の間は、動作モード等にかかわらず 常に、タイマ用ダウンカウンタのカウントダウン → イベント発生 → プリセット値のロード → カウントダウン … が繰り返されます。

5) TF ビット (Timer Flag)

定周期タイマ割り込みイベントを検出して、結果を保持するフラグビットです。

あらかじめ "0" クリアしておく、イベント発生時に "0" → "1" へ変化し、これを保持します。

TF	データ	内容
Write	0	TF ビットを 0 クリアし (割り込みイベントを解除し)、また、次回のイベント検出に備える * [レベル割り込みモード (1 回動作)] のとき 1) TF ビットを 0 クリアすることで、イベント発生によって /INT "L" となった状態を解除できます (/INT → Hi-z になります)。 2) TE ビット = "1" を継続させている場合には タイマ用ダウンカウンタのカウントダウンも継続していますので、カウンタが 01h → 00h になることで、再び TF ビットが "1" になる / INT 端子が "L" になる などのイベントが発生します。
	1	"1" の書き込みは 無効です。
Read	0	定周期タイマ割り込みイベント発生 の 検出なし
	1	定周期タイマ割り込みイベント発生 の 検出あり * 結果は、"0" クリアするまで保持されます。

6) TIE ビット (Timer Interrupt Enable)

定周期タイマ割り込みイベント発生時の、/INT 端子からの割り込み信号出力を制御します。

"1" の書き込みにより、割り込みイベント発生時に /INT 端子から "L" レベルの割り込み信号を発生させることができます。

"0" の書き込みでは、/INT 端子の出力を禁止します。

TIE	データ	内容
Write / Read	0	1) 定周期タイマ割り込みイベント発生時、 割り込み信号は 発生させない (/INT = Hi-z 継続) 2) 定周期タイマ割り込みイベント発生による 割り込み信号を 解除する (/INT、"L" → Hi-z)
	1	定周期タイマ割り込みイベント発生時、 割り込み信号を 発生させる (/INT = Hi-z → "L") * [レベル割り込みモード (1 回動作)] のとき 割り込みイベントを解除していない状態 (TF = "1" 維持) で TIE ビットを "0" → "1" にした場合は、直後に /INT 端子が "L" になります。

13.2.3. 定周期タイマ割り込み周期 と 時間誤差

ソースクロック設定 (TD1, TD0 設定) と 定周期タイマ用ダウンカウンタ設定 (Timer Register 設定) の組み合わせによる、定周期タイマ割り込み周期の例を示します。

Timer Register 設定値	ソースクロック			
	4096 Hz TD1,0 = 0,0	64 Hz TD1,0 = 0,1	1 Hz (1 秒桁 更新時) TD1,0 = 1,0	1/60 Hz (1 分秒桁 更新時) TD1,0 = 1,1
0 (00h)	–	–	–	–
1 (01h)	244.14 μs	15.625 ms	1 s	1 min
2 (02h)	488.28 μs	31.250 ms	2 s	2 min
3 (03h)	732.42 μs	46.875 ms	3 s	3 min
⋮	⋮	⋮	⋮	⋮
255 (FFh)	62.26 ms	3.984 s	255 s	255 min

• 定周期タイマ割り込みの時間誤差 と 定周期タイマ割り込みの 1 周期の時間

定周期タイマ割り込みの時間誤差は、選択したソースクロックの $^{+0}_{-1}$ 周期の時間が誤差となります。よって 定周期タイマ割り込みの 1 周期は、設定時間に対して以下の範囲になります。

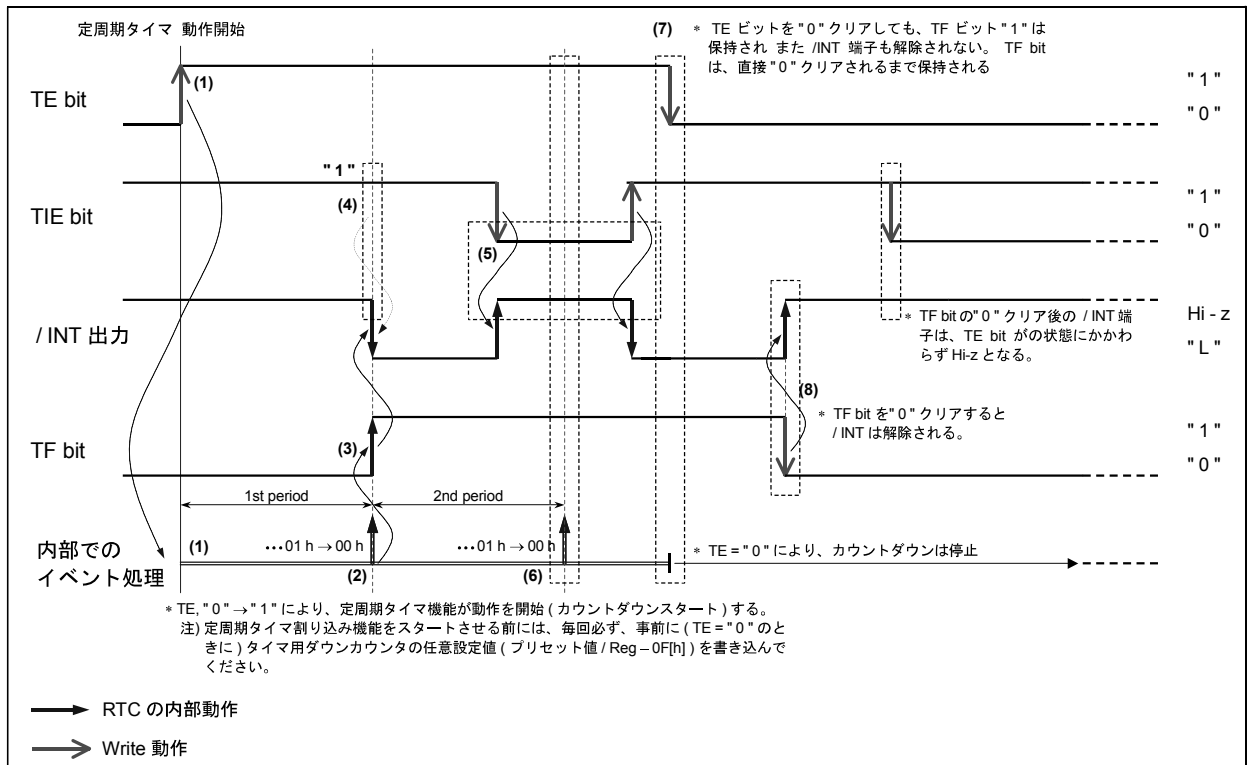
定周期タイマ割り込みの 1 周期 (定周期タイマ割り込み設定時間*) – ソースクロック周期) ~ (定周期タイマ割り込み設定時間) *) 定周期タイマ割り込み設定時間 = ソースクロック設定 × 定周期タイマ用ダウン カウンタ設定

* 実際の定周期タイマ割り込み時間は、上記時間の他にも 設定時のシリアルデータ転送クロックの通信時間がプラスされます。

13.2.4. 定周期タイマ割り込み機能 動作例

13.2.4.1. レベル割り込みモード (TI / TP = " 0 ") 動作例

- 割り込みイベント発生後、1 回限りで動作を終了します。



* 定周期タイマ割り込み機能をスタートさせる前には、毎回必ず、事前に (TE = " 0 " のときに) タイマ用ダウンカウンタの任意設定値 (プリセット値 / Reg – 0F[h]) を書き込んでください。

注) プリセット値の設定 / 再設定をしない場合は、正しい動作ができませんので ご注意ください。

* 動作設定を行うときは、設定中の不用意なハードウェア割り込みを避けるために、

- ① TE ビット " 0 " → ② TF, TIE ビット " 0 " の順に、制御関連ビットを " 0 " クリア (= 動作停止設定) することを推奨します。

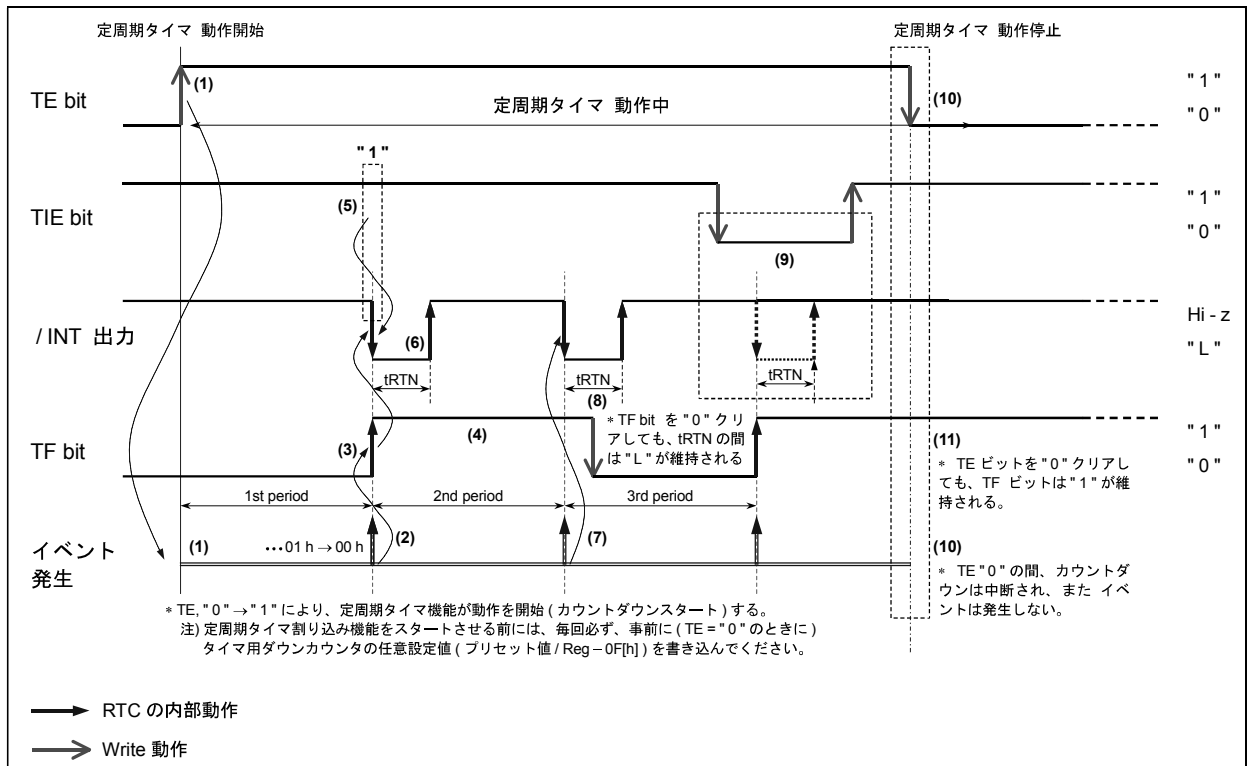
- (1) TE, " 0 " → " 1 " の書き込みにより、定周期タイマのカウントダウンが開始します。
- (2) 定周期タイマ割り込みイベントは「ダウンカウンタのカウント値をソースクロックの周期でカウントダウンさせていき、ダウンカウンタが 01h → 00h になると割り込みイベントが発生する」ようになっています。
- (3) 定周期タイマ割り込みイベントが発生すると、TF ビットは " 1 " になります。
- (4) 定周期タイマ割り込み発生時に TIE = " 1 " であれば、/INT 端子は " L " を出力します。
* 定周期タイマ割り込み発生時に TIE = " 0 " であれば、/INT 端子は Hi-z のまま変化は ありません。
- (5) 割り込みイベント発生後の TF ビットが " 1 " の間、TIE の設定で /INT 端子を任意の状態へと移行可能です。
- (6) TE ビットが " 1 " の間は、動作モード等にかかわらず常に、タイマ用ダウンカウンタのカウントダウン → 内部的なイベント処理 → プリセット値のロード → カウントダウン … を繰り返しています。
但し、TF ビットを " 0 " クリアしなければ、特に 影響は生じません。

* TE ビット = " 1 " を継続させた状態で TF ビットだけを " 0 " クリアしたときは、(内部のタイマ用ダウンカウンタのカウントダウンは継続していますので、) 次のカウンタ 01h → 00h のタイミングにて、[再び TF ビットが " 1 " になる / /INT 端子が " L " になるなどのイベントが発生] します。 ご注意ください。

- (7) TF ビットが " 1 " のときは、TF ビットを " 0 " クリアするまで " 1 " が保持されます。
TE ビットを " 0 " クリアしても、TF ビット " 1 " は保持され、また /INT 端子も解除されません。
- (8) TF bit を " 0 " クリアすると、/INT 端子は " L " → Hi-z に解除されます。

13.2.4.2. 繰り返し割り込みモード (TI / TP = "1") 動作例

- 割り込みイベント発生後、自動的に繰り返し動作を継続します。



* 定周期タイマ割り込み機能をスタートさせる前には、毎回必ず、事前に (TE = "0" のときに) タイマ用ダウンカウンタの任意設定値 (プリセット値 / Reg - 0F[h]) を書き込んでください。
 注) プリセット値の設定 / 再設定をしない場合は、正しい動作ができませんので ご注意ください。

* 動作設定を行うときは、設定中の不要なハードウェア割り込みを避けるために、
 ① TE ビット "0" → ② TF, TIE ビット "0" の順に、制御関連ビットを "0" クリア (= 動作停止設定) することを推奨します。

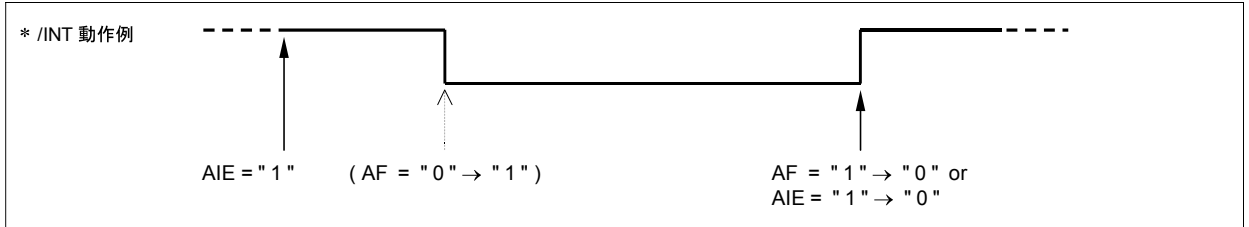
- (1) TE, "0" → "1" の書き込みにより、定周期タイマのカウントダウンが開始します。
- (2) 定周期タイマ割り込みイベントは「ダウンカウンタのカウント値をソースクロックの周期でカウントダウンさせていき、ダウンカウンタが 01h → 00h になると割り込みイベントが発生する」ようになっています。
 * ダウンカウンタが 01h → 00h になり 割り込みイベントが発生した後は、ダウンカウンタのプリセット値を自動的に再ロードし、再びプリセット値よりカウントダウンを開始します。(繰り返し動作)
- (3) 定周期タイマ割り込みイベントが発生すると、TF ビットは "1" になります。
- (4) TF ビットが "1" のとき、0 クリアされるまで "1" が保持されます。
 * (11) TF ビットが "1" のときは、TE ビットを "0" クリアしても TF ビットは "1" が維持されます。
- (5) 定周期タイマ割り込み発生時に TIE = "1" であれば、/INT 端子は "L" を出力します。
 * (9) 定周期タイマ割り込み発生時に TIE = "0" であれば、/INT 端子は Hi-z のまま変化はありません。
- (6) また /INT 端子出力は、毎イベント発生ごとに tRTN 時間の間だけ "L" になり、その後は Hi-z へ自動解除されます。
- (7) 次の割り込みイベント発生時には、再度 /INT = "L" となります。
 * (4) 本動作例での TF ビットは 0 クリアされていないため、"1" が維持されています。
- (8) /INT = "L" 時に、TF, "1" → "0" の書き込みをしても、tRTN 時間の間は /INT = "L" です。
- (10) TE, "1" → "0" の書き込みにより、定周期タイマの機能が停止 (カウントダウンが中断) します。

13.3. アラーム割り込み機能

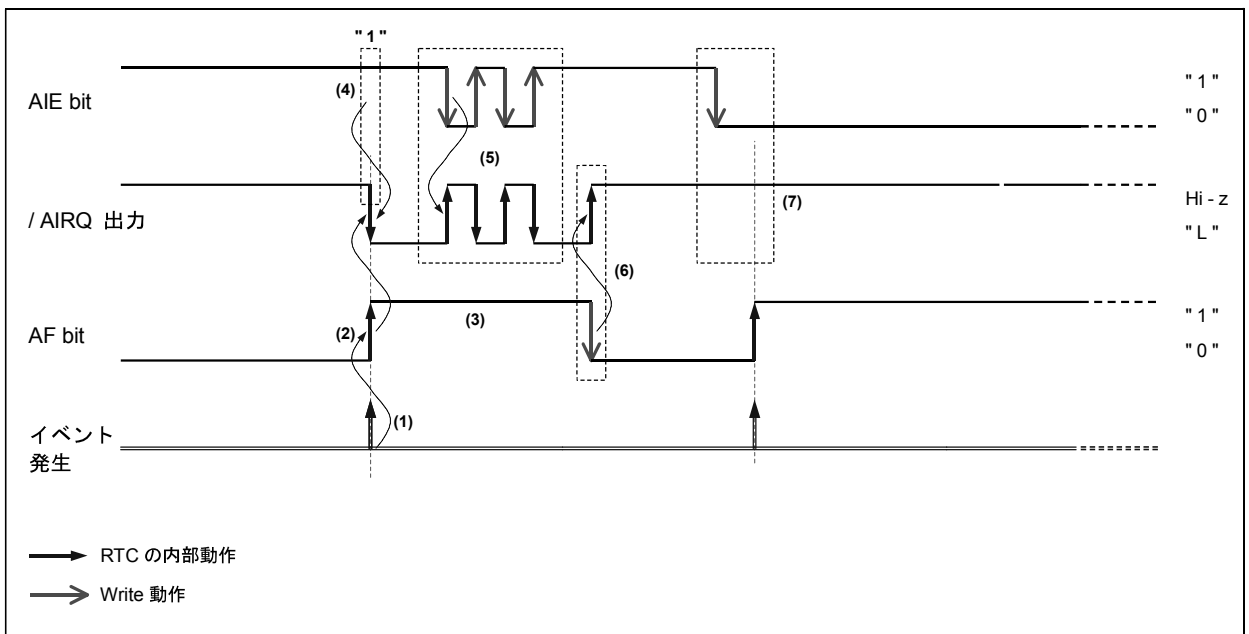
アラーム割り込み機能は、[分], [時], [曜], [日] に対する割り込みイベントを発生させる機能です。

割り込みイベント発生時には AF ビット = "1" かつ /INT 端子 = "L" となるなど、イベントの発生を知ることができます。

* アラーム割り込みイベント発生時の /INT "L" 出力は、意図的な解除をしないかぎり自動解除されず、/INT "L" が保持されます。



13.3.1. アラーム割り込み機能 概略説明



- (1) 「アラーム割り込みイベントを発生させたい [分], [時], [曜], [日] をあらかじめ設定しておき、設定状況に現状が一致すると割り込みイベントが発生」します。
- (2) アラーム割り込みイベントが発生すると、AF ビットは "1" になります。
- (3) AF ビットが "1" のとき、0 クリアされるまで "1" が保持されます。
- (4) アラーム割り込みイベント発生時に AIE = "1" であれば、/INT 端子は "L" を出力します。
* アラーム割り込みイベント発生時の /INT 端子出力は "L" になり、その後は AF ビットまたは AIE ビットによって解除されるまでこれを維持します。
- (5) /INT = "L" 時に AIE, "1" → "0" の書き込みをすると、/INT 端子は "L" → Hi-z に解除されます。
* また、アラーム割り込み発生後の AF ビットが 0 クリアされるまでの間は、/INT 端子の状態を AIE ビットによって任意に制御することができます。
- (6) /INT = "L" 時に AF, "1" → "0" の書き込みをすると、/INT 端子は "L" → Hi-z に解除されます。
- (7) アラーム割り込み発生時に AIE = "0" ならば、/INT 端子は Hi-z のままで変化はありません。

13.3.2. アラーム割り込み機能 関連レジスタ

Address [h]	Function	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
01	Control 2	0	×	0	TI / TP	AF	TF	AIE	TIE
03	Minutes	×	40	20	10	8	4	2	1
04	Hours	×	×	20	10	8	4	2	1
05	Days	×	×	20	10	8	4	2	1
06	Weekdays	×	×	×	×	×	4	2	1
09	Minute Alarm	AE	40	20	10	8	4	2	1
0A	Hour Alarm	AE	×	20	10	8	4	2	1
0B	Day Alarm	AE	×	20	10	8	4	2	1
0C	Weekday Alarm	AE	×	×	×	×	4	2	1

* 動作設定を行うときは、設定中の不用意なハードウェア割り込みを避けるために、まず最初に AIE ビットを "0" にすることを推奨します。

1) アラームレジスタ (Reg - 09 [h] ~ 0C [h])

アラーム割り込みイベントを発生させる [分], [時], [曜], [日] を設定します。

アラームレジスタの設定状況に現時刻が一致すると AF ビットが "1" になります。 また そのとき、事前に AIE ビットを "1" に設定していれば /INT 端子が "L" になります。

• AE ビットについて

*1) AE = "1" のとき、その項目については データ不問でアラーム比較対象外となります。
アラーム発生の対象としたくない項目は、対象としたくない項目のレジスタの AE ビットを "1" にしてください。

例) [時],[分],[曜] で、アラームを発生させたいとき。 = [日] は アラーム比較対象外としたいとき。
→ [日]設定用レジスタ (DAY Alarm レジスタ (Reg - 0B[h])) に 80 h (AE = "1") を書き込む

*2) 4 つの AE ビットの全てを "1" にしたときは、アラーム割り込みイベントは発生しません。

2) AF ビット (Alarm Flag)

アラーム割り込みイベントを検出して、結果を保持するフラグビットです。

あらかじめ "0" クリアしておく、イベント発生時に "0" → "1" へ変化し、これを保持します。

AF	データ	内容
Write	0	AF ビットを 0 クリアし、また、次回検出に備える * "0" クリアすると、/INT "L" 出力を解除できます (→ Hi-z になります) 。
	1	"1" の書き込みは 無効です。
Read	0	アラーム割り込みイベント発生の 検出なし
	1	アラーム割り込みイベント発生の 検出あり * 結果は、"0" クリアするまで保持されます。

3) AIE ビット (Alarm Interrupt Enable)

アラーム割り込みイベント発生時の、/INT 端子からの割り込み信号出力を制御します。

"1" の書き込みにより、割り込みイベント発生時に /INT 端子から "L" レベルの割り込み信号を発生させることができます。

"0" の書き込みでは、/INT 端子の出力を禁止します。

AIE	データ	内容
Write / Read	0	1) アラーム割り込みイベント発生時、 割り込み信号は 発生させない (/INT = Hi-z 継続) 2) アラーム割り込みイベント発生による 割り込み信号を 解除する (/INT、"L" → Hi-z)
	1	アラーム割り込みイベント発生時、 割り込み信号を 発生させる (/INT = Hi-z → "L") * 割り込みイベントを解除していない状態 (AF = "1" 維持) で AIE ビットを "0" → "1" にした場合は、直後に /INT 端子が "L" になります。

* /INT を "L" にせずにアラーム割り込みイベントの発生を知りたいときは、AIE = "0" の状態で AF ビットを監視 (AF, "0" → "1"?) してください。

13.3.3. アラーム設定例

1) アラーム設定時の基本事項

- アラームの対象として設定できる条件は [分], [時], [曜], [日] の 4 項目です。
- 時刻の設定は、24 時間制です。
- アラーム対象としたくない項目は、対象項目のレジスタの AE ビットを "1" にします。
* 4 つの AE ビットの全てを "1" にしたときは、アラーム割り込みイベントは発生しません。
- アラーム割り込みイベントは、アラーム発生条件を満たす状況へ移行するときに発生します。

2) アラーム設定例を示します。

	Reg – 0C[h] Weekday Alarm [曜] 設定	Reg – 0B[h] Day Alarm [日] 設定	Reg – 0A[h] Hour Alarm [時] 設定	Reg – 09[h] Minute Alarm [分] 設定
毎週 [月] 曜 午前 7 時 30 分	01 h (月[曜])	AE bit "1" ([日] 不問)	07 h (午前 7 時)	30 h (30[分])
毎月 15 日 午後 7 時 30 分	AE bit "1" ([曜]不問)	15 h ([15]日)	19 h (午後 7 時)	30 h (30 分)
毎時 00 分 (1 時間周期)	AE bit "1" ([曜]不問)	AE bit "1" ([日] 不問)	AE bit "1" ([時] 不問)	00 h (00 分)

13.4. 割り込み機能動作時の /INT "L" 割り込み出力に関して

1) /INT "L" 割り込み出力発生時の 割り込みイベント特定方法

/INT 割り込み出力端子は、定周期タイマ割り込み機能, アラーム割り込み機能の 2 種類の割り込みイベントの共通出力端子になっています。

割り込みが発生 (/INT = "L") したときは TF, AF フラグを読み出して、どちらの割り込みイベントが発生したのか(どちらのフラグが "1" か)を確認してください。

2) /INT 端子を "L" にしたくないときの処理方法

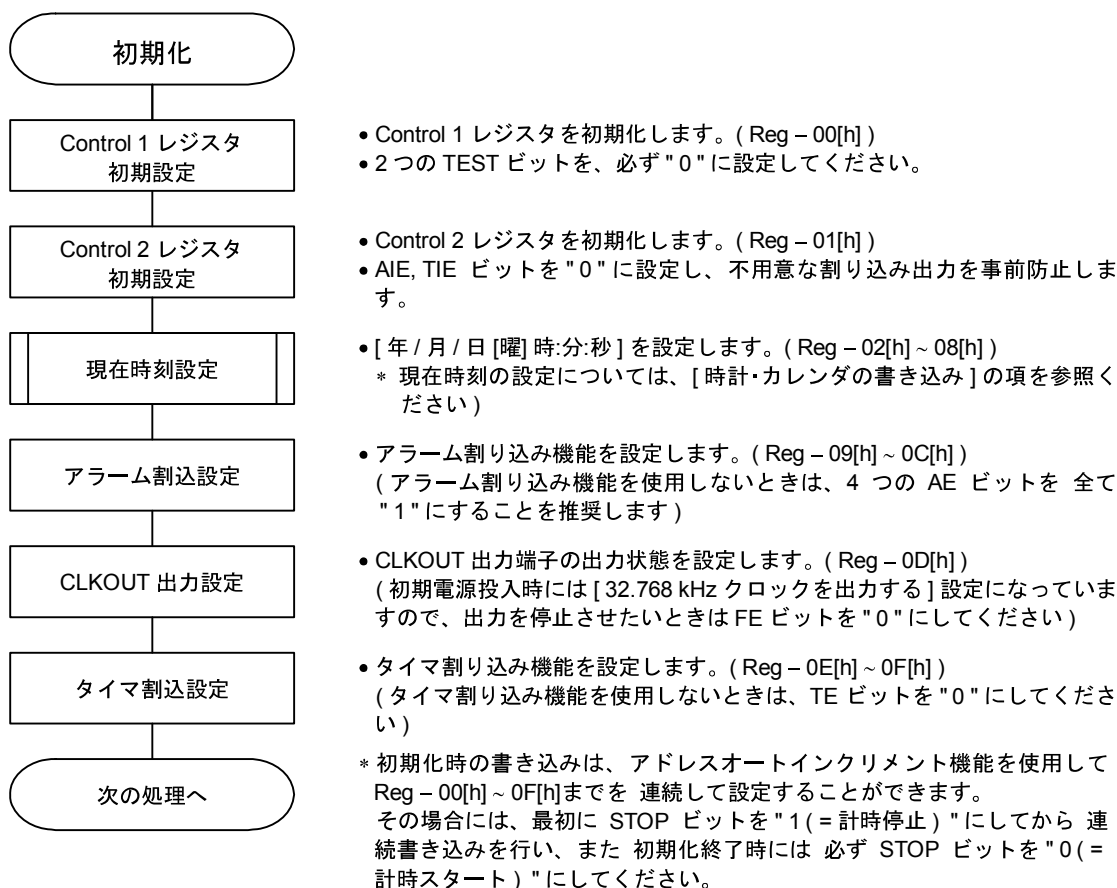
/INT 端子を "L" にしたくないときは、TIE, AIE ビットの全てのビットを "0" にしてください。

/INT 端子を "L" にせずに 割り込みイベントの発生を検出したい場合は、TF, AF フラグを監視して、対象となる割り込みイベントが発生したか(対象となるフラグが "1" になったか)を確認してください。

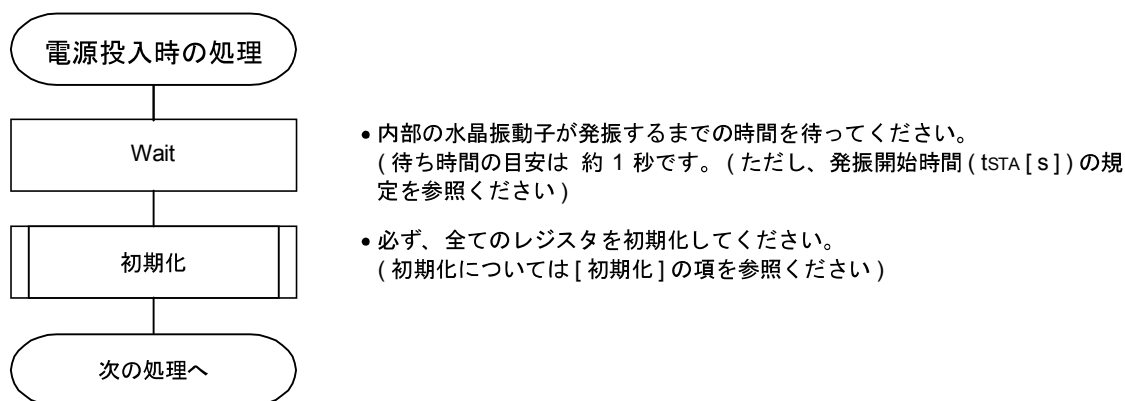
13.5. フローチャート

- 以下のフローチャートは 一例です。
 - * わかりやすさを優先した記載にしていますので、実際の処理の際には 非効率な部分があります。
 - * より効率的な処理を行いたいときは、いくつかの処理を同時にしたり、また、操作手順を入れ替えても問題無い部分などを 確認調整ください。(記載内容の中には、使用状況によっては 必要のない処理もあります)
 - * 期待通りの動作を行うためには、必ず 使用条件 (使用環境) に合わせた調整を お願いいたします。

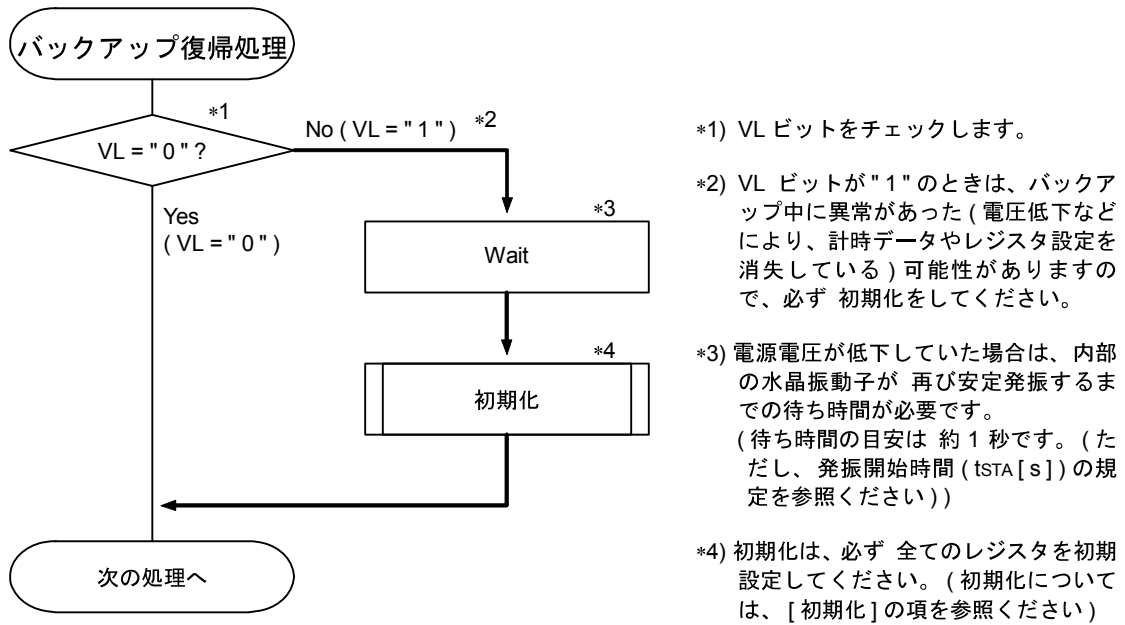
1) 初期化例



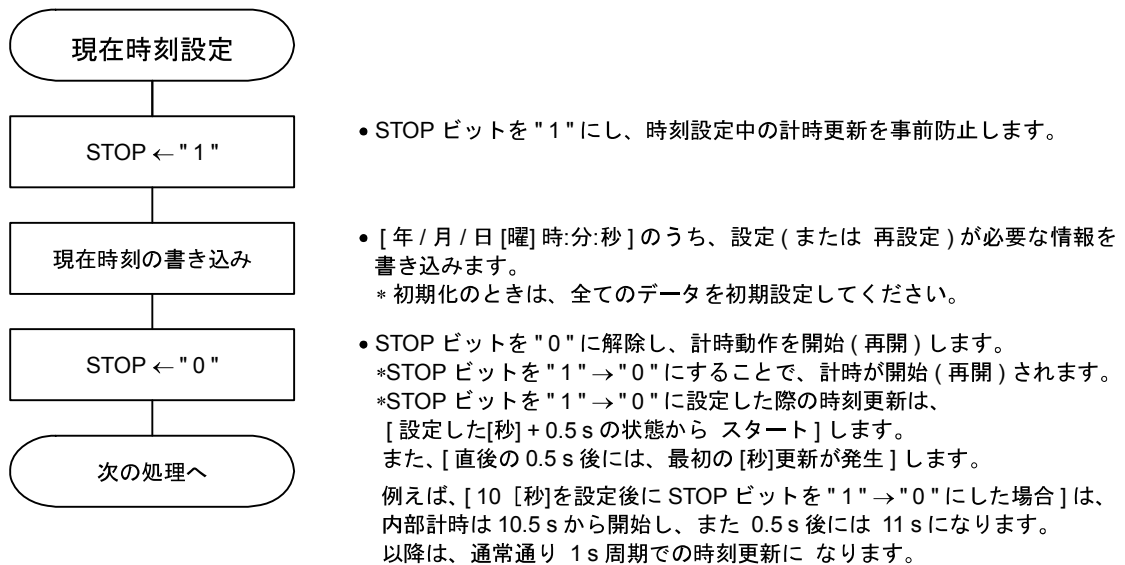
2) 電源投入時の処理例



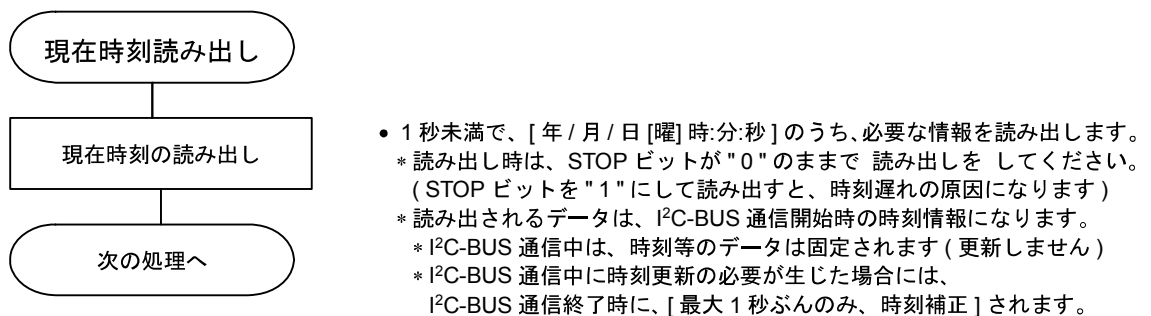
3) バックアップ状態から復帰したときの処理例



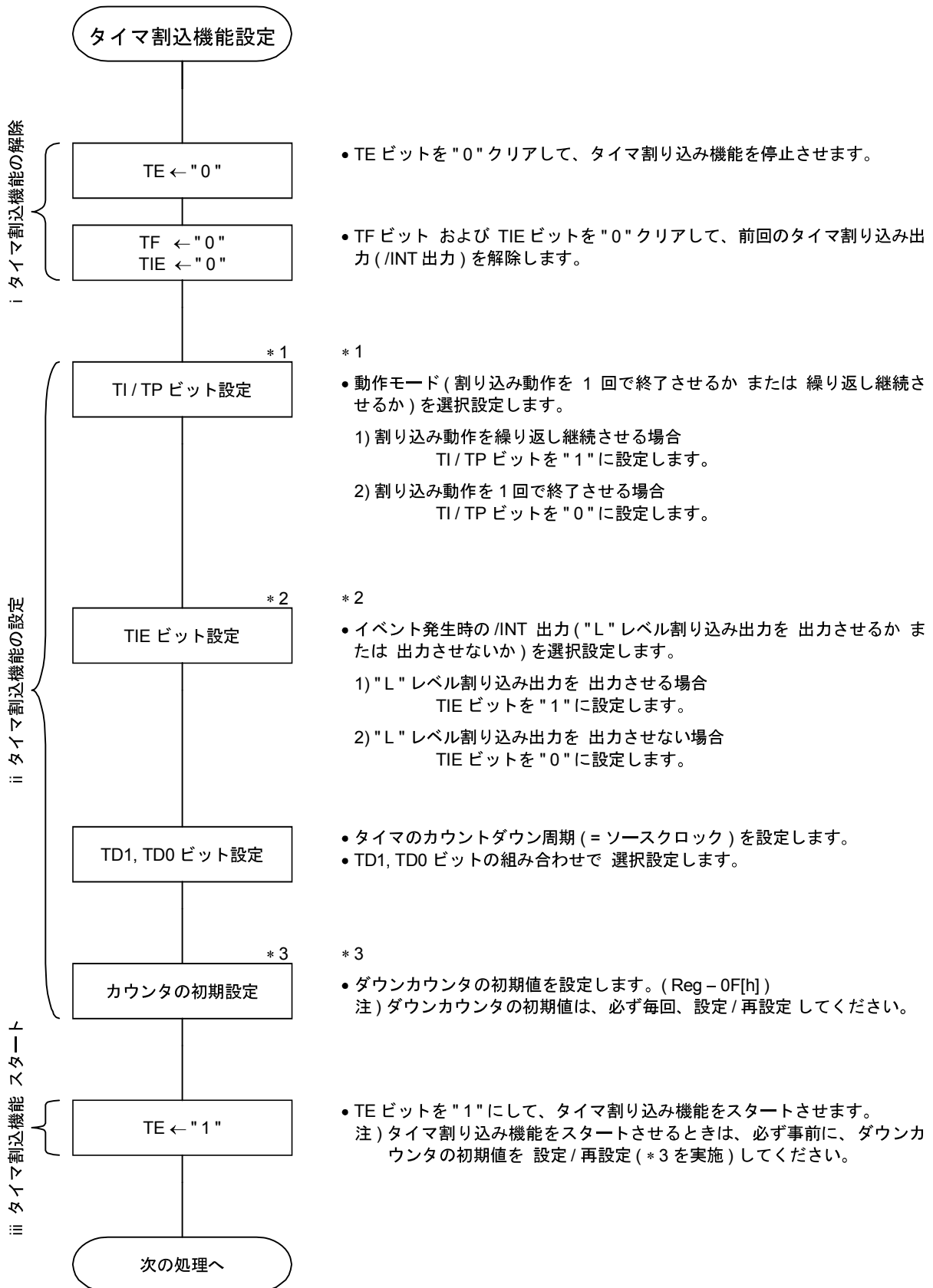
4) 時計・カレンダーの書き込み例



5) 時計・カレンダーの読み出し例



6) タイマ割り込み機能の設定例



13.6. I²C-BUS インタフェースによるデータのリード/ライト

13.6.1. I²C-BUS の概要

I²C-BUS は、SDA (データライン) と SCL (クロックライン) とで構成される 2 線式の双方向通信です。この 2 つの信号の組み合わせにより、通信の開始/停止/データ転送/アクノリッジ等の送受信を行います。

非通信時は SCL, SDA とともに High に保ちます。

通信の開始と停止は、SCL が High で、かつ、SDA を立ち上げる または 立ち下げることで制御します。

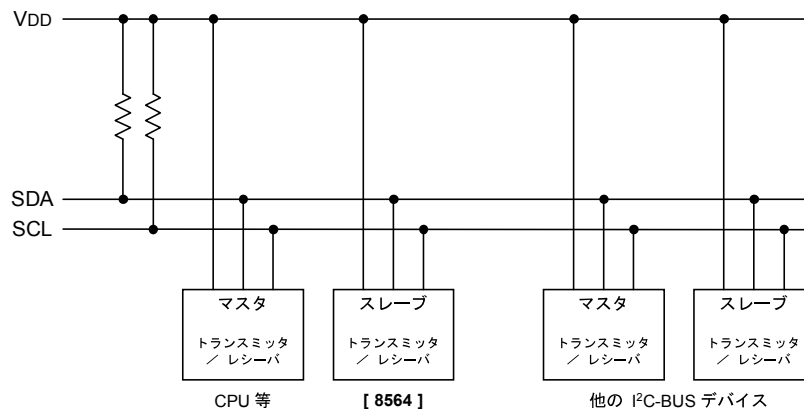
データの転送は、送信時の SDA ライン上のデータ変更は SCL ラインが LOW の区間で行い、また、受信側では SCL ラインが HIGH の区間でデータを取り込みます。どちらの場合も、SCL ラインの 1 クロックパルスごとに 1 ビットずつ行います。

I²C-BUS デバイスは 通常のロジックデバイスが有するチップセレクト端子を持ちません。チップセレクトの代用として 各デバイスにはスレーブアドレスが割り当てられており、受信デバイスは 受信したスレーブアドレスが一致した場合にのみ、その後の通信に反応します。

13.6.2. システム構成

I²C-BUS に接続する全てのポートは、複数のデバイスの AND 接続を実現するためにオープンドレイン あるいはオープンコレクタでなければなりません。

SCL, SDA は、ともにプルアップ抵抗を介して VDD ラインに接続します。これにより、BUS 開放時 (非通信時) などは SCL, SDA とともに High になります。

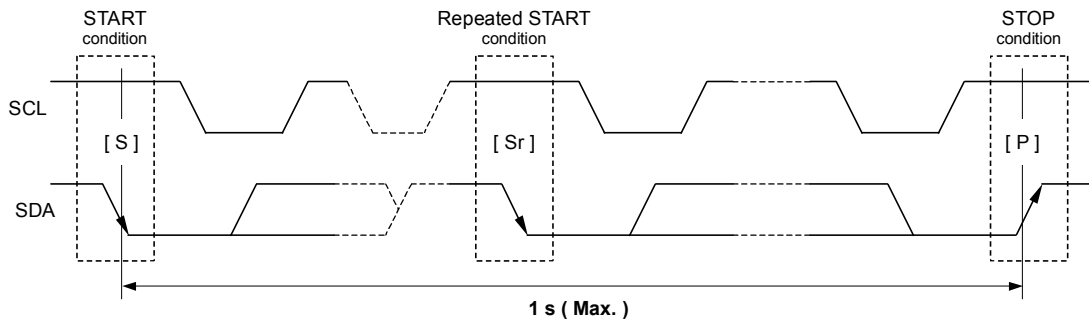


データの送受信を制御するデバイスを "マスタ"、マスタによって制御されるデバイスを "スレーブ" と定義します。

また、データを送信するデバイスを "トランスミッタ"、データを受信するデバイスを "レシーバ" とします。

本 RTC の場合、CPU 等のコントローラがマスタ、本 RTC がスレーブとなります。データの送信/受信はどちらも行いますので、状況によりトランスミッタになり また レシーバにもなります。

13.6.3. I2C-BUS 通信の 開始と停止

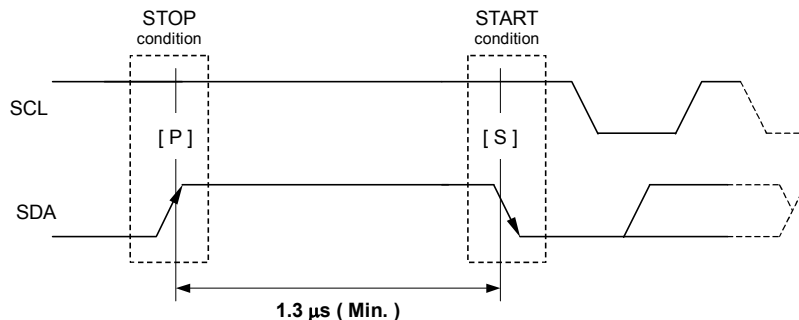


1) START condition / Repeated START condition と STOP condition

- (1) START condition (開始条件)
 - I²C-BUS 通信を開始するための規定条件です。
SCL が High の状態で かつ SDA を High から Low に変化させます。
- (2) STOP condition (停止条件)
 - I²C-BUS 通信を正常終了させるための規定条件です。
SCL が High の状態で かつ SDA を Low から High に変化させます。
- (3) Repeated START condition / Re-START condition (再送開始条件)
 - START condition と STOP condition の途中で、再度 START condition と同じ状態にする場合があり、それを Re-START condition (再送開始条件) として区別します。必要な状態は START condition と同じですから、SCL が High の状態で かつ SDA を High から Low に変化させます。

2) 注意事項

- *1) 通信の制御
 - 通信の START, Re-START condition と STOP condition の制御は、常にマスタが行います。
- *2) マスタによる STOP condition 送信の実施タイミング
 - マスタによる STOP condition 送信の実施タイミングに制限はありませんので、通信の途中であっても 強制的に通信を終了させることができます。(ただし、本 RTC がレシーバ状態(データ受信状態 = SDA 開放状態)のときに限ります。)
- *3) 通信時間の 1 秒制限 と BUS タイムアウト機能
 - 本 RTC との通信は、START condition 送信から STOP condition 送信までの一連の通信を **1 秒未満で完了**させてください。(START condition と STOP condition の間に Re-START condition を送る場合がありますが、その場合でも、START condition から STOP condition までを **1 秒未満で完了**させてください)
 - **1 秒以上の時間がかかった場合**、本 RTC 内の BUS タイムアウト機能によって I²C-BUS インタフェースは自動解除されて待機状態になります。自動解除時 および その後の通信は、書き込み / 読み出し とともに無効となりますので ご注意ください。(読み出し無効時は、読み出される全てのデータが "1" になります) 通信を再開するには、再度、START condition の送信から始めます。
- *4) 通信間の時間規定
 - 本 RTC との通信では、通信停止の STOP condition 送信から 次の通信を始める START condition 送信までを **1.3 μs 以上(tBUF 規定を参照)** 空けてください。



13.6.4. I²C-BUS 通信の データの転送と確認応答

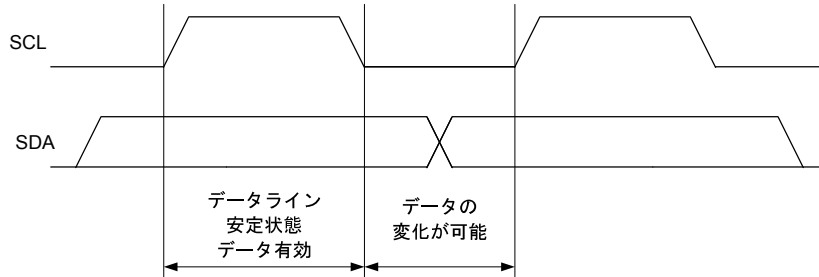
1) データの転送

データの転送は、START condition 発生後に 8 bit / 1 Byte 単位で行います。 START condition と STOP condition の間で転送するデータの Byte 数に制限はありません。(ただし 1 回の通信時間は 1 秒未満)

書き込み / 読み出し とともに アドレス・オートインクリメント機能が働きます。

アドレス Fh の次は アドレス 0h へと移行します。

トランスミッタ (送信側) の SDA ライン上のデータ変更は、SCL ラインが Low の区間で行います。 また、レシーバ (受信側) では、SCL ラインが High の区間でデータを取り込みます。

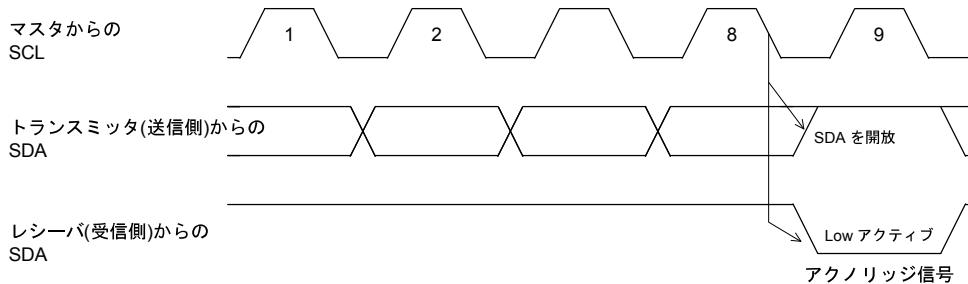


* SCL が High のときに SDA を変化させると START, Re-START condition または STOP condition として扱われますので ご注意ください。

2) データの確認応答 (アクリッジ信号)

データの転送時、レシーバは 8 bit のデータを受信するたびに 確認応答 = アクリッジ信号 (Low アクティブ) を生成します。 レシーバからのアクリッジが無い場合は、その通信は正しく行われなかったことを意味します。(ただし、マスタによる 意図的なアクリッジの非生成を除く)

データ転送の SCL の 8 bit 目のクロックパルスが Low に立ち下がった直後、トランスミッタは SDA を解放し、また、レシーバは SDA を Low (= アクリッジ) にします。



レシーバがアクリッジ信号送出後、次の 1 Byte 転送も そのままレシーバであるときは SCL の 9 bit 目のクロックの立ち下がりで SDA を解放します。 また、トランスミッタになるときは データの転送に移ります。

マスタがレシーバになっている場合、マスタはスレーブから送信された最後の 1 Byte に対するアクリッジを生成しないことで、トランスミッタにデータ転送の終了を知らせます。 このとき トランスミッタは、そのまま SDA を解放し続けて マスタによる STOP condition の発生に備えます。

13.6.5. スレーブアドレス

I²C-BUS デバイスは 通常のロジックデバイスが有するチップセレクト端子を持ちません。 チップセレクトの代用として 各デバイスにはスレーブアドレスが割り当てられています。

全ての通信は [START condition] + [スレーブアドレス (+ R/W 指定)] の送信から始まります。 受信デバイスは、受信した指定スレーブアドレスが 自己のスレーブアドレスと一致した場合にのみ、その後の通信に反応します。

スレーブアドレスは 7 bit の固定値で、[8564] では [1010 001*] です。

スレーブアドレスは 7 bit ですが、通信時には R/W bit (上記 " * ") を付加した 8 bit を転送します。

	転送データ	スレーブアドレス							R / W bit
		bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
Read 時	A3 h	1	0	1	0	0	0	1	1 (= Read)
Write 時	A2 h								0 (= Write)

13.6.6. I²C-BUS プロトコル

I²C-BUS 通信時の注意事項

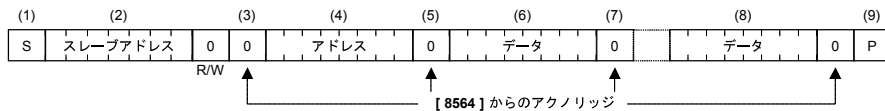
- 1) [1 回の I²C-BUS 通信は、必ず 1 秒未満で完了] するように してください。
- 2) [データの読み出し時は STOP ビット = "0" にて読み出しを実施] してください。
(時刻データ等の読み出しの際も、STOP ビットは "0" のままで 読み出しを してください)

以下に、マスタを CPU、スレーブを [8564] と想定して通信手順を記します。

① アドレス指定の書き込み手順

[8564] はアドレスのオートインクリメント機能がありますので、最初にアドレス指定した後、データだけを送り続ければ、[8564] の受け取りアドレスは 1 バイト毎に加算されます。

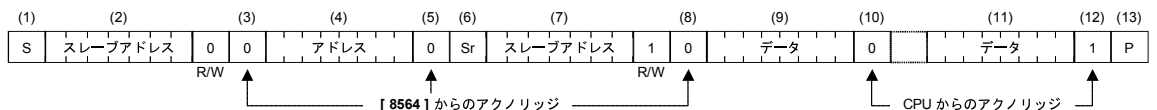
- (1) CPU が開始条件[S]を送信
- (2) CPU が [8564] のスレーブアドレス、および R/W ビットを書き込みモードで送出
- (3) [8564] からのアクノリッジ確認
- (4) CPU が [8564] へ書き込むアドレスを送出
- (5) [8564] からのアクノリッジ確認
- (6) CPU が(4)で指定したアドレスへ書き込むデータを送出
- (7) [8564] からのアクノリッジ確認
- (8) 必要に応じ(6)(7)のくり返し。アドレスは [8564] 内部でオートインクリメント
- (9) CPU が停止条件[P]を送出



② アドレス指定の読み出し手順

書き込みモードによって、リードするアドレスをライトした後、読み出しモードを設定して、実際のデータをリードします。

- (1) CPU が開始条件[S]を送出
- (2) CPU が [8564] のスレーブアドレス、および R/W ビットを書き込みモードで送出
- (3) [8564] からのアクノリッジ確認
- (4) CPU が [8564] から読み出すアドレスを送出
- (5) [8564] からのアクノリッジ確認
- (6) CPU が再送開始条件[Sr]を送信 (このときは、停止条件[P]を送信しないこと)
- (7) CPU が [8564] のスレーブアドレス、および R/W ビットを読み出しモードで送出
- (8) [8564] からのアクノリッジ確認 (ここから、CPU がレシーバ、[8564] がトランスマッタとなる)
- (9) [8564] から(4)で指定したアドレスのデータが出る
- (10) CPU が [8564] へアクノリッジ送出
- (11) 必要に応じ、(9)(10)のくり返し。読み出しアドレスは [8564] 内部でオートインクリメント。
- (12) CPU が "1" のアクノリッジを出す
- (13) CPU が停止条件[P]を送出。



③ アドレス指定しない読み出し手順

最初に読み出しモードを設定することで、その後すぐにデータをリードできます。このときに読み出し対象となるアドレスは「前回のアクセスで終了したアドレス + 1」となります。

- (1) CPU が開始条件[S]を送出
- (2) CPU が [8564] のスレーブアドレス、および R/W ビットを読み出しモードで送出
- (3) [8564] からのアクノリッジ確認 (以降、CPU がレシーバ、[8564] がトランスマッタとなる)
- (4) [8564] から、前回のアクセスにおける最終アドレス+1 のデータが出る
- (5) CPU が [8564] へアクノリッジ送出
- (6) 必要に応じ、(4)(5)のくり返し。読み出しアドレスは [8564] 内部でオートインクリメント。
- (7) CPU が "1" のアクノリッジを出す
- (8) CPU が停止条件[P]を送出。

