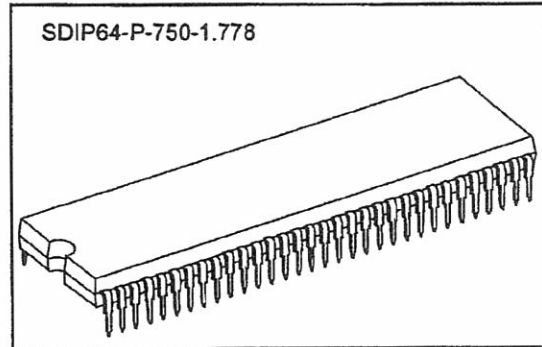


TC6367AN (I/O エキスパンダー)

1. 概要

TC6367ANは、0.6 μ プロセスのC-MOSシリコンゲート技術で作られたZ80系CPUのデータバスの拡張機能を持つICです。

8ビットの出力ポートが最大4系統、チップセレクト信号を最大13本(ライト: 9、リード: 4)と入力アドレスフルデコード回路を内蔵したI/Oエキスパンダーです。



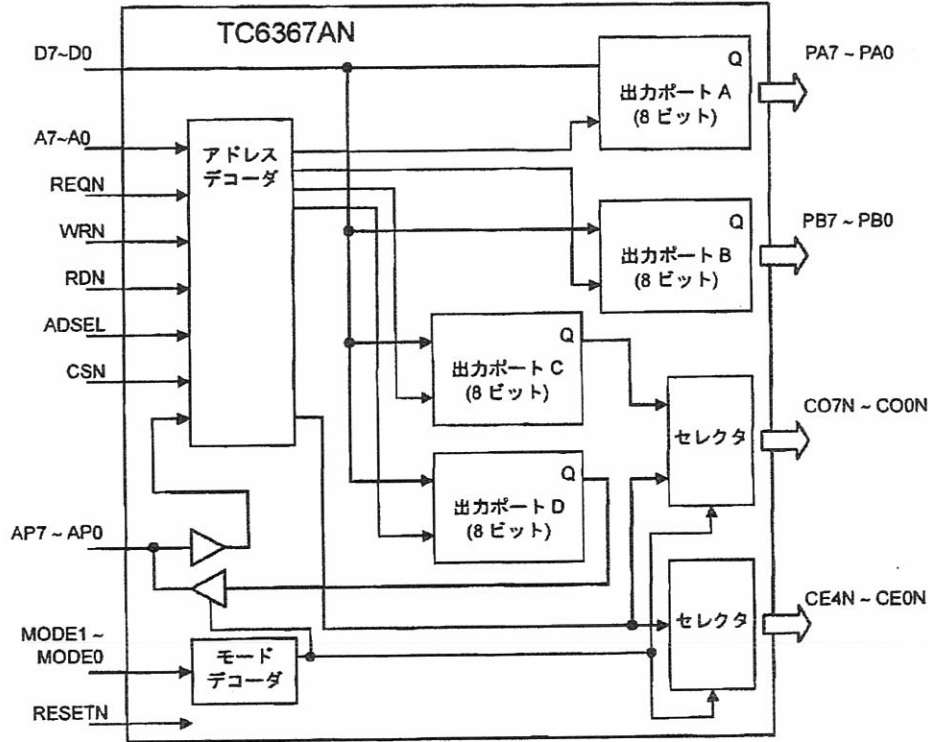
2. 特徴

- 5V単一電源で動作し、動作範囲は5.0V \pm 10%と広範囲です。
- データバス、アドレスバスにプルアップ抵抗内蔵
- アドレスセレクトの切り替えによりアドレス値の変更機能
- モード切り替えにより出力ポート数、外部I/Oチップセレクト本数の変更が可能
- 64ピンプラスチックデュアルインラインパッケージ (SDIP64-P-750-1.778)

GND	1	64	VCC
RESETN	2	63	CE4N
REQN	3	62	CE3N
RDN	4	61	CE2N
WRN	5	60	CE1N
D0	6	59	CE0N
D1	7	58	CO7N
D2	8	57	CO6N
D3	9	56	CO5N
D4	10	55	CO4N
D5	11	54	CO3N
D6	12	53	CO2N
D7	13	52	CO1N
A0	14	51	CO0N
A1	15	50	PB7
A2	16	49	PB6
A3	17	48	PB5
A4	18	47	PB4
A5	19	46	PB3
A6	20	45	PB2
A7	21	44	PB1
AP0	22	43	PB0
AP1	23	42	PA7
AP2	24	41	PA6
AP3	25	40	PA5
AP4	26	39	PA4
AP5	27	38	PA3
AP6	28	37	PA2
AP7	29	36	PA1
ADSEL	30	35	PA0
CSN	31	34	MODE1
GND	32	33	MODE0

3. システム構成

TC6367AN ブロック図



4. 端子名称および機能

端子名称	端子番号	入/出力	機 能
GND	1	—	電源端子 (0 V)
RESETN	2	入力	全出力ポートのリセット用信号 "L" レベルでリセット状態
REQN	3	入力	リクエスト信号 (MREQ または IORQ) で出力ポートおよび外部 I/O チップセレクトの選択に使用
RDN	4	入力	リード信号 "L" レベルでリード状態
WRN	5	入力	ライト信号 "L" レベルでライト状態
D0	6	入力	8 ビットの入力データ・バス
D1	7		
D2	8		
D3	9		
D4	10		
D5	11		
D6	12		
D7	13		
A0	14	入力	アドレス信号で出力ポートおよび外部 I/O チップセレクト信号のアドレスの選択に使用
A1	15		
A2	16		
A3	17		
A4	18		
A5	19		
A6	20		
A7	21		
AP0	22	—	機能兼用端子 MODE0、MODE1 信号の組み合わせにより以下の状態となる 動作モード 0, 2 時 アドレス信号入力 動作モード 1, 3 時 8 ビット出力ポート (機能説明 モード別動作参照)
AP1	23		
AP2	24		
AP3	25		
AP4	26		
AP5	27		
AP6	28		
AP7	29		
ADSEL	30	入力	アドレスデコード値を 2 系統に切り替える (機能説明 アドレス選択参照)
CSN	31	入力	チップセレクト信号 モード 1, 3 では IC 外部アドレスデコーダよりの信号または直接基板にて GND を接続してください。 モード 0, 2 では本信号は動作に無関係ですので直接基板にて GND を接続してください。
GND	32	—	電源端子 (0 V)
MODE0	33	入力	モード切替信号
MODE1	34	入力	(機能説明 モード別動作参照)

注: 「負論理」となる端子には、端子名称末尾に全て N を付けて「負論理」端子として区別しております。

端子名称	端子番号	入/出力	機能
PA0	35	出力	8ビット出力ポート機能、出力ラッチバッファを持っており RESETN 信号入力時は "L" が出力される
PA1	36		
PA2	37		
PA3	38		
PA4	39		
PA5	40		
PA6	41		
PA7	42		
PB0	43	出力	8ビット出力ポート機能、出力ラッチバッファを持っており RESETN 信号入力時は "L" が出力される
PB1	44		
PB2	45		
PB3	46		
PB4	47		
PB5	48		
PB6	49		
PB7	50		
CO0N	51	出力	機能兼用端子 MODE0、MODE1 信号の組み合わせにより以下の状態となる 動作モード 0, 1 時 ライト用チップイネーブル信号 動作モード 2, 3 時 8ビット出力ポート (機能説明 モード別動作参照)
CO1N	52		
CO2N	53		
CO3N	54		
CO4N	55		
CO5N	56		
CO6N	57		
CO7N	58		
CE0N	59	出力	機能兼用端子 チップイネーブルとして機能 MODE0、MODE1 信号の組み合わせによりリード用またはライト用チップイネーブルとなる (機能説明 モード別動作参照)
CE1N	60		
CE2N	61		
CE3N	62		
CE4N	63		
VCC	64	—	電源端子 (5V)

注: 「負論理」となる端子には、端子名称末尾に全てNを付けて「負論理」端子として区別しております。
(但し CO0N~CO7N に関しましては本端子をチップイネーブルとして使用する時に「負論理」となります。)

5. 機能説明

TC6367ANには、モード切り替えによる出力ポート数、チップセレクト数の選択機能、アドレスメモリマップを切り替える機能が内蔵されており、これら機能を外部端子にて直接制御することにより変更することが可能です(機能兼用端子使用)。

(モード設定信号およびアドレスマップ切り替え信号は、基板に直接VCCもしくはGNDを接続することを推奨致します。)

- 動作モード

動作モード (4モード) の設定および動作は以下の通りとなります。

使用端子名称: MODE0、MODE1

MODE1 端子	MODE0 端子	動作モード	アドレス入力	出力ポート数
0	0	モード0	AP7 ~ AP0, A7 ~ A0 の 16本	8ビット×2ポート
0	1	モード1	A7 ~ A0 の 8本	8ビット×3ポート
1	0	モード2	AP7 ~ AP0, A7 ~ A0 の 16本	8ビット×3ポート
1	1	モード3	A7 ~ A0 の 8本	8ビット×4ポート

モード0: 16ビットの出力ポートと13本の外部I/Oチップセレクト(ライト9本、リード4本)として動作するモード。

モード1: 24ビットの出力ポートと13本の外部I/Oチップセレクト(ライト9本、リード4本)として動作するモード。

モード2: 24ビットの出力ポートと5本の外部I/Oチップセレクト(ライト3本、リード2本)として動作するモード。

モード3: 32ビットの出力ポートと5本の外部I/Oチップセレクト(ライト3本、リード2本)として動作するモード。

- アドレス選択

本TC6367ANを2個使用する場合、アドレスデコーダなしにアドレスデコード範囲が重複するのを回避させることが可能です。

アドレスマップ切り替え設定および動作は以下の通りとなります。

使用端子名称: ADSEL

モード0		モード1		モード2		モード3	
ADSEL = 0 時の デコード範囲	ADSEL = 1 時の デコード範囲	ADSEL = 0 時の デコード範囲	ADSEL = 1 時の デコード範囲	ADSEL = 0 時の デコード範囲	ADSEL = 1 時の デコード範囲	ADSEL = 0 時の デコード範囲	ADSEL = 1 時の デコード範囲
FE00 ~ FE0F	FE20 ~ FE2F	00 ~ 0F	20 ~ 2F	FE10 ~ FE18	FE30 ~ FE38	10 ~ 18	30 ~ 38

アドレスはHex表示

- モード別動作

- モード0

モード0時の機能兼用端子の機能

端子名称	入/出力	機能
AP0	入力	アドレス信号で出力ポートおよび外部 I/O チップ セレクト信号のアドレスの選択に使用 上位アドレス 8 ビットに対応し、A7 ~ A0 と併せて 16 ビットアドレス入力 となる
AP1		
AP2		
AP3		
AP4		
AP5		
AP6		
AP7		
CO0N	出力	チップイネーブルとして機能、外部 I/O チップセレクト信号で REQN 信号 および WRN 信号がイネーブルになると (ライト動作) アドレス値に対応し た端子に "L" が出力される (ライト用チップイネーブル信号 9 ビット) 注意) RESETN 信号とは無関係に動作
CO1N		
CO2N		
CO3N		
CO4N		
CO5N		
CO6N		
CO7N		
CE0N	出力	チップイネーブルとして機能、外部 I/O チップセレクト信号で REQN 信号 および RDN 信号がイネーブルになると (リード動作) アドレス値に対応し た端子に "L" が出力される (リード用チップイネーブル信号 4 ビット) 注意) RESETN 信号とは無関係に動作
CE1N		
CE2N		
CE3N		
CE4N		

アドレスマップおよび動作 (REQN が正常なタイミングにて “L” 入力されている状態)

① ADSEL = 0 の時

アドレス上位 AP7 ~ AP0	アドレス下位 A7 ~ A0	選択ポート・チップセレクト	動作
FE	00	出力ポート PA[7:0]	ライト動作
FE	01	出力ポート PB[7:0]	ライト動作
FE	03	外部 I/O チップセレクト CO0N	ライト動作
FE	04	外部 I/O チップセレクト CO1N	ライト動作
FE	05	外部 I/O チップセレクト CO2N	ライト動作
FE	06	外部 I/O チップセレクト CO3N	ライト動作
FE	07	外部 I/O チップセレクト CO4N	ライト動作
FE	08	外部 I/O チップセレクト CO5N	ライト動作
FE	09	外部 I/O チップセレクト CO6N	ライト動作
FE	0A	外部 I/O チップセレクト CO7N	ライト動作
FE	0B	外部 I/O チップセレクト CE0N	ライト動作
FE	0C	外部 I/O チップセレクト CE1N	リード動作
FE	0D	外部 I/O チップセレクト CE2N	リード動作
FE	0E	外部 I/O チップセレクト CE3N	リード動作
FE	0F	外部 I/O チップセレクト CE4N	リード動作

アドレスは Hex 表示

② ADSEL = 1 の時

アドレス上位 AP7 ~ AP0	アドレス下位 A7 ~ A0	選択ポート・チップセレクト	動作
FE	20	出力ポート PA[7:0]	ライト動作
FE	21	出力ポート PB[7:0]	ライト動作
FE	23	外部 I/O チップセレクト CO0N	ライト動作
FE	24	外部 I/O チップセレクト CO1N	ライト動作
FE	25	外部 I/O チップセレクト CO2N	ライト動作
FE	26	外部 I/O チップセレクト CO3N	ライト動作
FE	27	外部 I/O チップセレクト CO4N	ライト動作
FE	28	外部 I/O チップセレクト CO5N	ライト動作
FE	29	外部 I/O チップセレクト CO6N	ライト動作
FE	2A	外部 I/O チップセレクト CO7N	ライト動作
FE	2B	外部 I/O チップセレクト CE0N	ライト動作
FE	2C	外部 I/O チップセレクト CE1N	リード動作
FE	2D	外部 I/O チップセレクト CE2N	リード動作
FE	2E	外部 I/O チップセレクト CE3N	リード動作
FE	2F	外部 I/O チップセレクト CE4N	リード動作

アドレスは Hex 表示

2) モード1

モード1時の機能兼用端子の機能

端子名称	入/出力	機能
AP0	出力	8ビット出力ポート機能、出力ラッチバッファを持っており RESETN 信号入力時は "L" が出力される
AP1		
AP2		
AP3		
AP4		
AP5		
AP6		
AP7		
CO0N	出力	チップイネーブルとして機能、外部 I/O チップセレクト信号で REQN 信号および WRN 信号がイネーブルになると (ライト動作) アドレス値に対応した端子に "L" が出力される (ライト用チップイネーブル信号9ビット)
CO1N		
CO2N		
CO3N		
CO4N		
CO5N		
CO6N		
CO7N		
CE0N	出力	チップイネーブルとして機能、外部 I/O チップセレクト信号で REQN 信号および RDN 信号がイネーブルになると (リード動作) アドレス値に対応した端子に "L" が出力される (リード用チップイネーブル信号4ビット)
CE1N		
CE2N		
CE3N		
CE4N		注意) RESETN 信号とは無関係に動作

アドレスマップおよび動作 (REON・CSN が正常なタイミングにて “L” 入力されている状態)

① ADSEL = 0 の時

アドレス A7 ~ A0	選択ポート・チップセレクト	動作
00	出力ポート PA[7:0]	ライト動作
01	出力ポート PB[7:0]	ライト動作
02	出力ポート AP[7:0]	ライト動作
03	外部 I/O チップセレクト CO0N	ライト動作
04	外部 I/O チップセレクト CO1N	ライト動作
05	外部 I/O チップセレクト CO2N	ライト動作
06	外部 I/O チップセレクト CO3N	ライト動作
07	外部 I/O チップセレクト CO4N	ライト動作
08	外部 I/O チップセレクト CO5N	ライト動作
09	外部 I/O チップセレクト CO6N	ライト動作
0A	外部 I/O チップセレクト CO7N	ライト動作
0B	外部 I/O チップセレクト CE0N	ライト動作
0C	外部 I/O チップセレクト CE1N	リード動作
0D	外部 I/O チップセレクト CE2N	リード動作
0E	外部 I/O チップセレクト CE3N	リード動作
0F	外部 I/O チップセレクト CE4N	リード動作

アドレスは Hex 表示

② ADSEL = 1 の時

アドレス A7 ~ A0	選択ポート・チップセレクト	動作
20	出力ポート PA[7:0]	ライト動作
21	出力ポート PB[7:0]	ライト動作
22	出力ポート AP[7:0]	ライト動作
23	外部 I/O チップセレクト CO0N	ライト動作
24	外部 I/O チップセレクト CO1N	ライト動作
25	外部 I/O チップセレクト CO2N	ライト動作
26	外部 I/O チップセレクト CO3N	ライト動作
27	外部 I/O チップセレクト CO4N	ライト動作
28	外部 I/O チップセレクト CO5N	ライト動作
29	外部 I/O チップセレクト CO6N	ライト動作
2A	外部 I/O チップセレクト CO7N	ライト動作
2B	外部 I/O チップセレクト CE0N	ライト動作
2C	外部 I/O チップセレクト CE1N	リード動作
2D	外部 I/O チップセレクト CE2N	リード動作
2E	外部 I/O チップセレクト CE3N	リード動作
2F	外部 I/O チップセレクト CE4N	リード動作

アドレスは Hex 表示

3) モード 2

モード 2 時の機能兼用端子の機能

端子名称	入/出力	機能
AP0	入力	アドレス信号で出力ポートおよび外部 I/O チップセレクト信号のアドレスの選択に使用 上位アドレス 8 ビットに対応し、A7～A0 と併せて 16 ビットアドレス入力となる
AP1		
AP2		
AP3		
AP4		
AP5		
AP6		
AP7		
CO0N	出力	8 ビット出力ポート機能、出力ラッチバッファを持っており RESETN 信号入力時は "L" が出力される
CO1N		
CO2N		
CO3N		
CO4N		
CO5N		
CO6N		
CO7N		
CE0N	出力	チップイネーブルとして機能、外部 I/O チップセレクト信号で REQN 信号および WRN 信号がイネーブルになると (ライト動作) アドレス値に対応した端子に "L" が出力される (ライト用チップイネーブル信号 3 ビット) 注意) RESETN 信号とは無関係に動作
CE1N		
CE2N		
CE3N	出力	チップイネーブルとして機能、外部 I/O チップセレクト信号で REQN 信号および RDN 信号がイネーブルになると (リード動作) アドレス値に対応した端子に "L" が出力される (リード用チップイネーブル信号 2 ビット) 注意) RESETN 信号とは無関係に動作
CE4N		

アドレスマップおよび動作 (REQN が正常なタイミングにて “L” 入力されている状態)

① ADSEL = 0 の時

アドレス上位 AP7 ~ AP0	アドレス下位 A7 ~ A0	選択ポート・チップセレクト	動作
FE	10	出力ポート PA[7:0]	ライト動作
FE	11	出力ポート PB[7:0]	ライト動作
FE	12	出力ポート CO[7:0]N	ライト動作
FE	14	外部 I/O チップセレクト CE0N	ライト動作
FE	15	外部 I/O チップセレクト CE1N	ライト動作
FE	16	外部 I/O チップセレクト CE2N	ライト動作
FE	17	外部 I/O チップセレクト CE3N	リード動作
FE	18	外部 I/O チップセレクト CE4N	リード動作

アドレスは Hex 表示

② ADSEL = 1 の時

アドレス上位 AP7 ~ AP0	アドレス下位 A7 ~ A0	選択ポート・チップセレクト	動作
FE	30	出力ポート PA[7:0]	ライト動作
FE	31	出力ポート PB[7:0]	ライト動作
FE	32	出力ポート CO[7:0]N	ライト動作
FE	34	外部 I/O チップセレクト CE0N	ライト動作
FE	35	外部 I/O チップセレクト CE1N	ライト動作
FE	36	外部 I/O チップセレクト CE2N	ライト動作
FE	37	外部 I/O チップセレクト CE3N	リード動作
FE	38	外部 I/O チップセレクト CE4N	リード動作

アドレスは Hex 表示

4) モード3
 モード3時の機能兼用端子の機能

端子名称	入/出力	機能
AP0	出力	8ビット出力ポート機能、出力ラッチバッファを持っており RESETN 信号入力時は "L" が出力される
AP1		
AP2		
AP3		
AP4		
AP5		
AP6		
AP7		
CO0N	出力	8ビット出力ポート機能、出力ラッチバッファを持っており RESETN 信号入力時は "L" が出力される
CO1N		
CO2N		
CO3N		
CO4N		
CO5N		
CO6N		
CO7N		
CE0N	出力	チップイネーブルとして機能、外部 I/O チップセレクト信号で REQN 信号および WRN 信号がイネーブルになると (ライト動作) アドレス値に対応した端子に "L" が出力される (ライト用チップイネーブル信号3ビット) 注意) RESETN 信号とは無関係に動作
CE1N		
CE2N		
CE3N	出力	チップイネーブルとして機能、外部 I/O チップセレクト信号で REQN 信号および RDN 信号がイネーブルになると (リード動作) アドレス値に対応した端子に "L" が出力される (リード用チップイネーブル信号2ビット) 注意) RESETN 信号とは無関係に動作
CE4N		

アドレスマップおよび動作 (REQN・CSN が正常なタイミングにて “L” 入力されている状態)

◎ ADSEL = 0 の時

アドレス A7 ~ A0	選択ポート・チップセレクト	動作
10	出力ポート PA[7:0]	ライト動作
11	出力ポート PB[7:0]	ライト動作
12	出力ポート CO[7:0]N	ライト動作
13	出力ポート AP[7:0]	ライト動作
14	外部 I/O チップセレクト CE0N	ライト動作
15	外部 I/O チップセレクト CE1N	ライト動作
16	外部 I/O チップセレクト CE2N	ライト動作
17	外部 I/O チップセレクト CE3N	リード動作
18	外部 I/O チップセレクト CE4N	リード動作

アドレスは Hex 表示

◎ ADSEL = 1 の時

アドレス A7 ~ A0	選択ポート・チップセレクト	動作
30	出力ポート PA[7:0]	ライト動作
31	出力ポート PB[7:0]	ライト動作
32	出力ポート CO[7:0]N	ライト動作
33	出力ポート AP[7:0]	ライト動作
34	外部 I/O チップセレクト CE0N	ライト動作
35	外部 I/O チップセレクト CE1N	ライト動作
36	外部 I/O チップセレクト CE2N	ライト動作
37	外部 I/O チップセレクト CE3N	リード動作
38	外部 I/O チップセレクト CE4N	リード動作

アドレスは Hex 表示

6. 絶対最大定格

項目	記号	定格	単位
電源電圧	V _{CC}	-0.3 ~ +7.0	V
入力電圧	V _{IH}	-0.3 ~ V _{CC} + 0.3	V
出力電圧	V _{OUT}	-0.3 ~ V _{CC} + 0.3	V
入力保護ダイオード電流	I _{IJK}	±10	mA
出力寄生ダイオード電流	I _{OK}	±10	mA
出力電流	I _{OUT}	±20	mA
電源/GND電流	I _{CC}	100	mA
許容損失	P _D	440	mW
保存温度	T _{stg}	-40 ~ +125	°C

7. 推奨動作条件

項目	記号	定格	単位
電源電圧	V _{CC}	4.5 ~ 5.5	V
入力電圧	V _{IH}	0 ~ V _{CC}	V
出力電圧	V _{OUT}	0 ~ V _{CC}	V
動作温度	T _{opr}	0 ~ 85	°C
入力上昇、下降時間	t _r , t _f	0 ~ 500	ns

8. DC 電気的特性

V_{CC} = 5.0 V ± 10% GND = 0 V T_a = 0 ~ 85 °C

項目	記号	適用端子	条件	Min	Max	単位
高レベル入力電圧	V _{IH}	REQN, A7 ~ A0, AP7 ~ AP0, ADSEL, MODE0	—	3.5	—	V
高レベル入力電圧 (シュミット付)	V _{IH}	RESETN, RDN, WRN, D7 ~ D0, CSN, MODE1	—	4.0	—	V
低レベル入力電圧	V _{IL}	REQN, A7 ~ A0, AP7 ~ AP0, ADSEL, MODE0	—	—	1.5	V
低レベル入力電圧 (シュミット付)	V _{IL}	RESETN, RDN, WRN, D7 ~ D0, CSN, MODE1	—	—	1.0	V
高レベル入力電流	I _{IH}	全ての入力端子	V _{IN} = V _{CC}	-10	10	μA
低レベル入力電流	I _{IL}	ADSEL, CSN, MODE0	V _{IN} = GND	-10	10	μA
低レベル入力電流 (プルアップ付)	I _{IL}	RESETN, REQN, RDN, WRN, D7 ~ D0, A7 ~ A0, AP7 ~ AP0, MODE1	V _{IN} = GND	-200	-10	μA
高レベル出力電圧	V _{OH}	全ての出力端子	I _{OH} = -2 mA	V _{CC} - 0.4	—	V
			I _{OH} = -8 mA	2.4	—	V
低レベル出力電圧	V _{OL}	全ての出力端子	I _{OL} = 8 mA	—	0.4	V
プルアップ抵抗値	R _{IN}	RESETN, REQN, RDN, WRN, D7 ~ D0, A7 ~ A0, AP7 ~ AP0, MODE1	—	25	150	kΩ
静的消費電流	I _{DD}		V _{IN} = GND	—	4.3	mA
			V _{IN} = V _{CC}	—	100	μA

9. AC 電氣的特性

$V_{CC} = 5.0 V \pm 10\%$ $GND = 0 V$ $T_a = 0 \sim 85^\circ C$ 端子負荷容量 (CL) = 50 pF 動作モード共通

記号	項目	Min	Typ	Max	単位
Twas	REQN と WRN のどちらか後に立ち下がる信号に対するアドレス・CSN セットアップ時間	20	—	—	ns
Twah	REQN と WRN のどちらか先に立ち上がる信号に対するアドレス・CSN ホールド時間	0	—	—	ns
Twdl	REQN と WRN のどちらか後に立ち下がる信号からライトチップイネーブル信号が "L" になるまでの遅延時間	3	—	23	ns
Twdh	REQN と WRN のどちらか先に立ち上がる信号からライトチップイネーブル信号が "H" になるまでの遅延時間	2	—	17	ns
Tras	REQN と RDN のどちらか後に立ち下がる信号に対するアドレス・CSN セットアップ時間	0	—	—	ns
Trah	REQN と RDN のどちらか先に立ち上がる信号に対するアドレス・CSN ホールド時間	0	—	—	ns
Trdl	REQN と RDN のどちらか後に立ち下がる信号からリードチップイネーブル信号が "L" になるまでの遅延時間	13	—	65	ns
Trdh	REQN と RDN のどちらか先に立ち上がる信号からリードチップイネーブル信号が "H" になるまでの遅延時間	2	—	17	ns
Twdas	REQN と WRN のどちらか後に立ち下がる信号に対するアドレス・CSN セットアップ時間	20	—	—	ns
Twdah	REQN と WRN のどちらか先に立ち上がる信号に対するアドレス・CSN ホールド時間	0	—	—	ns
Tds	REQN と WRN のどちらか先に立ち上がる信号に対する入力データセットアップ時間	15	—	—	ns
Tdh	REQN と WRN のどちらか先に立ち上がる信号に対する入力データホールド時間	0	—	—	ns
T added	REQN と WRN のどちらか先に立ち上がる信号に対する出力データの遅延時間	2	—	24	ns
Trstw	RESETN の "L" パルス幅	10	—	—	ns
Tww	WRN の "L" パルス幅	40	—	—	ns
Trw	RDN の "L" パルス幅	40	—	—	ns
Trqw	REQN の "L" パルス幅	40	—	—	ns
Trstd	RESETN の立ち下がりに対する出力データの遅延時間	3	—	20	ns
C _{IN}	入力容量 (T _a = 25°C 時)	—	10	—	pF
	入力容量	—	—	20	pF
C _{OUT}	出力容量 (T _a = 25°C 時)	—	10	—	pF
C _{PD}	等価内部容量 (T _a = 25°C 時) 注)	—	190	—	pF

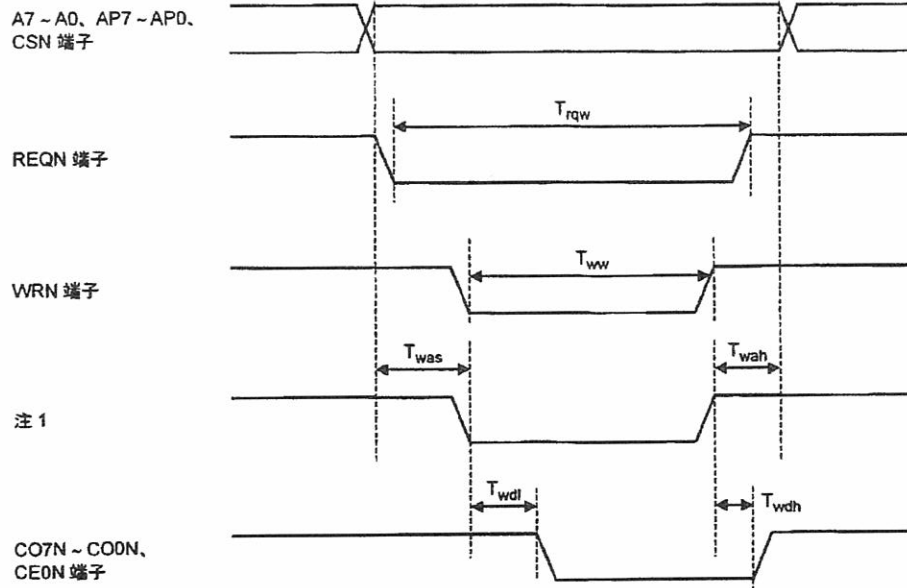
注: C_{PD} は、無負荷時の動作消費電流より計算した IC 内部の等価容量です。無負荷時の平均動作時消費電流は、次式より求められます。

$$I_{CC}(\text{opr}) = f_{IN} \cdot C_{PD} \cdot V_{CC} / \text{gate} + I_{CC}$$

10. モード別タイミング図

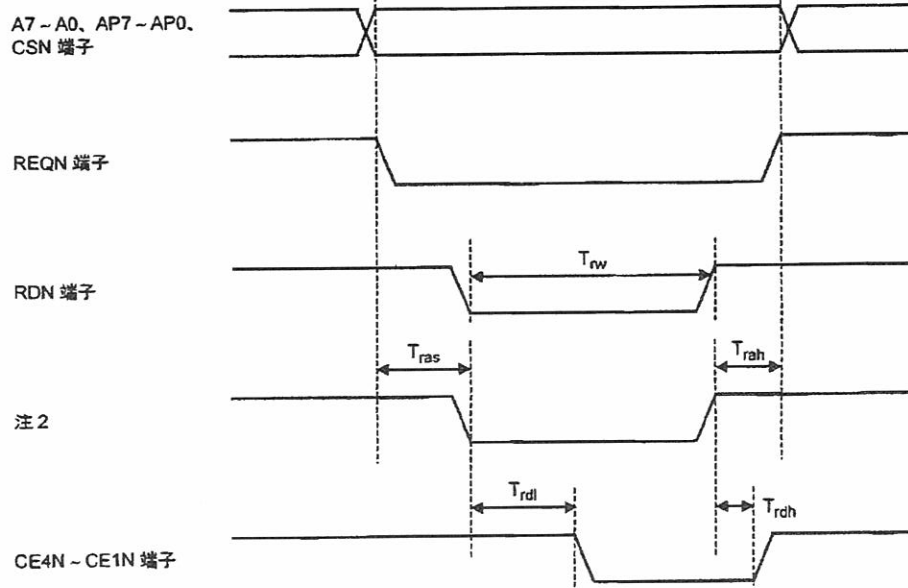
1) モード0

ライト動作タイミング



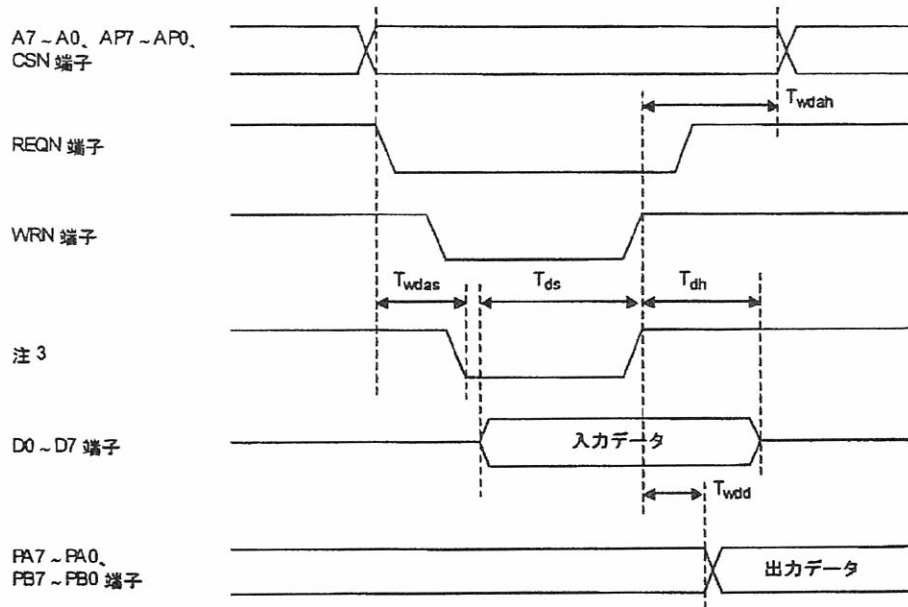
注 1: WRN または REQN のどちらか後に LOW に立ち下がった時点、および WRN または REQN のどちらか先に HIGH に立ち上がった時点を示す信号です。

リード動作タイミング



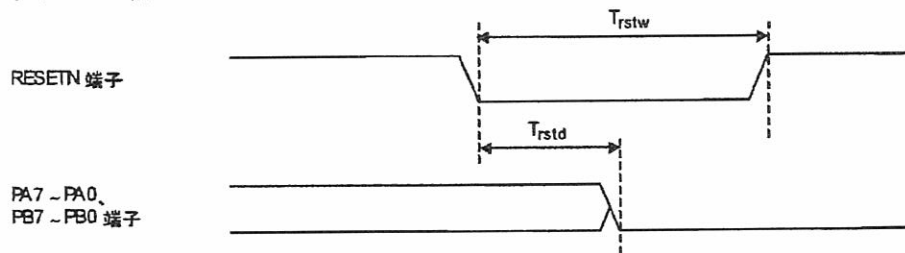
注 2: RDN または REQN のどちらか後に LOW に立ち下がった時点、および RDN または REQN のどちらか先に HIGH に立ち上がった時点を示す信号です。

出力ポートデータタイミング



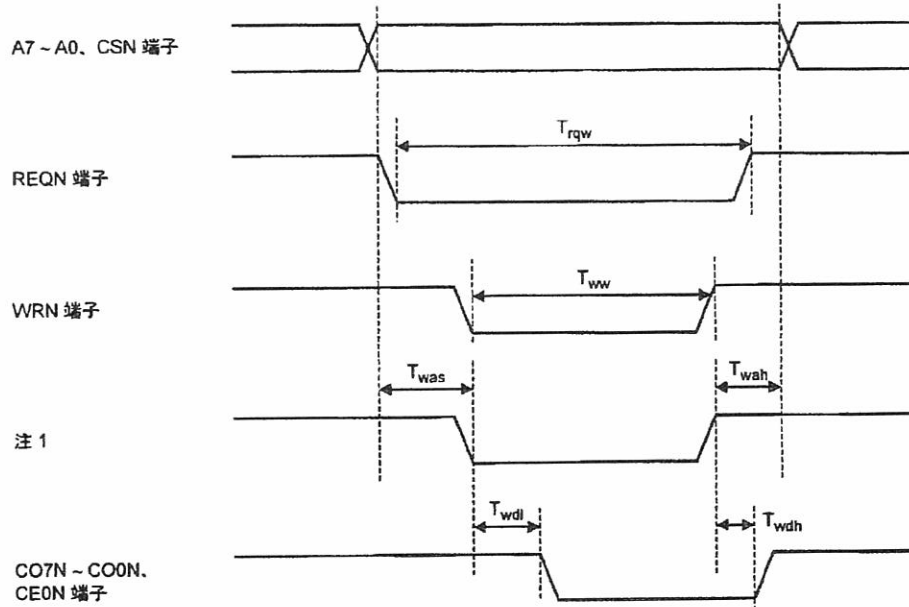
注 3: WRN または REQN のどちらか後に LOW に立ち下がった時点、および WRN または REQN のどちらか先に HIGH に立ち上がった時点を示す信号です。

リセットパルス幅



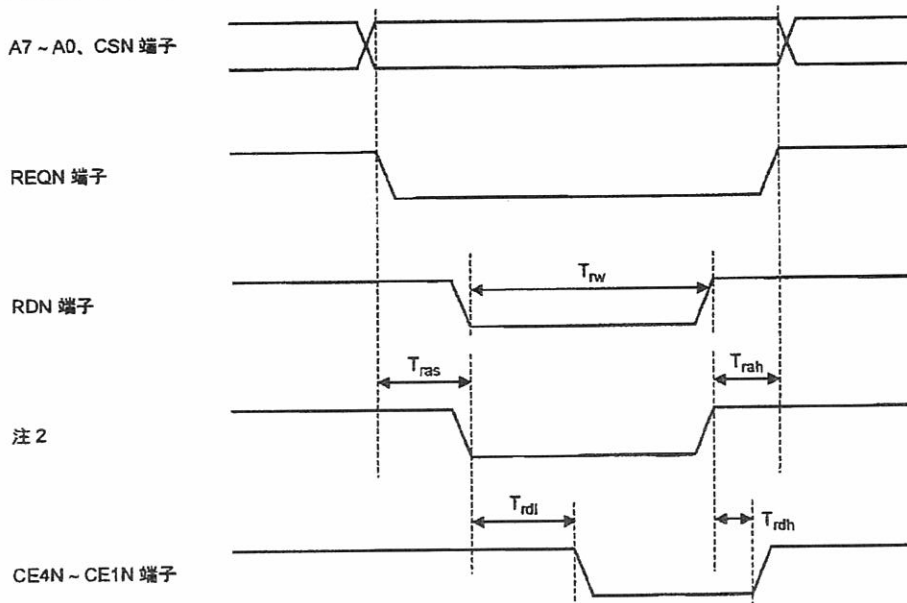
2) モード1

ライト動作タイミング



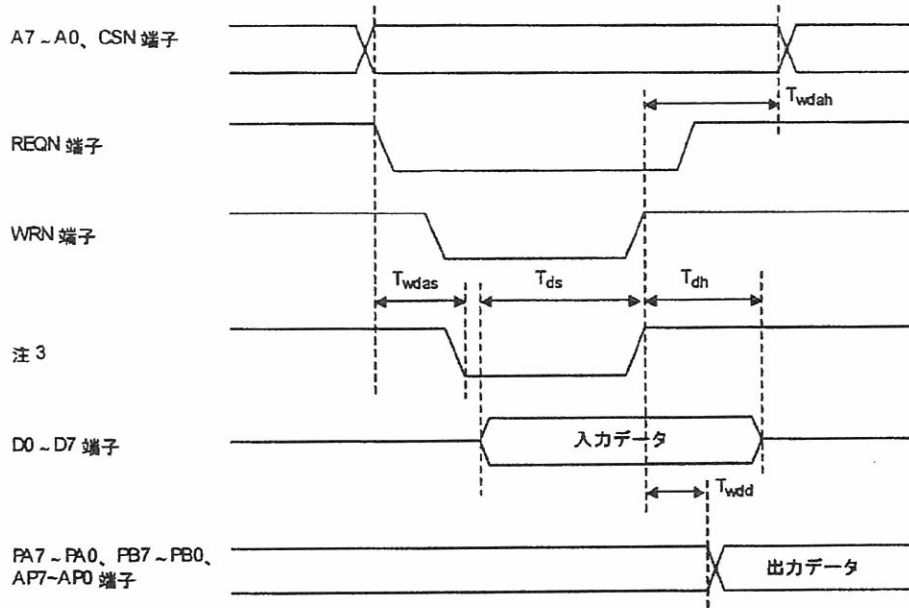
注1: WRN または REQN のどちらか後に LOW に立ち下がった時点、および WRN または REQN のどちらか先に HIGH に立ち上がった時点を示す信号です。

リード動作タイミング



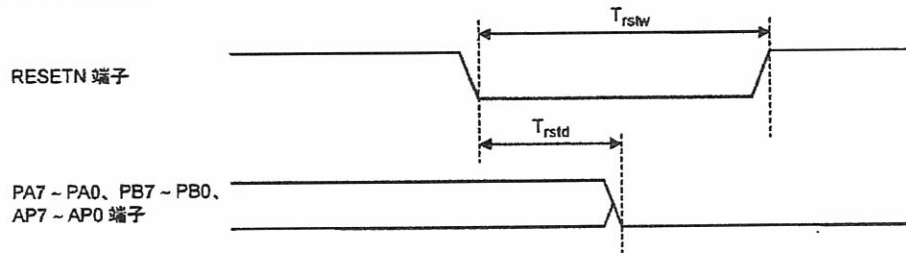
注2: RDN または REQN のどちらか後に LOW に立ち下がった時点、および RDN または REQN のどちらか先に HIGH に立ち上がった時点を示す信号です。

出力ポートデータタイミング



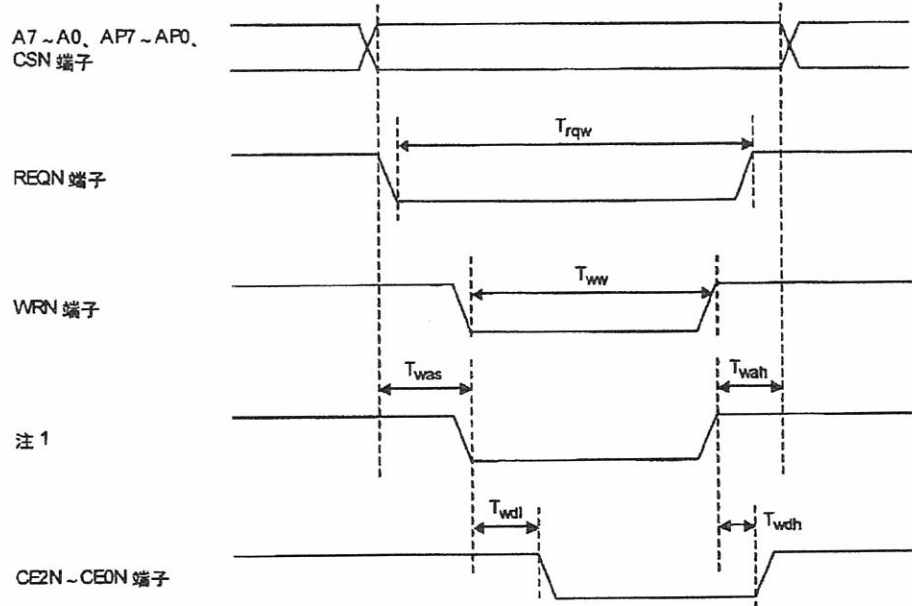
注 3: WRN または REQN のどちらか後に LOW に立ち下がった時点、および WRN または REQN のどちらか先に HIGH に立ち上がった時点を示す信号です。

リセットパルス幅



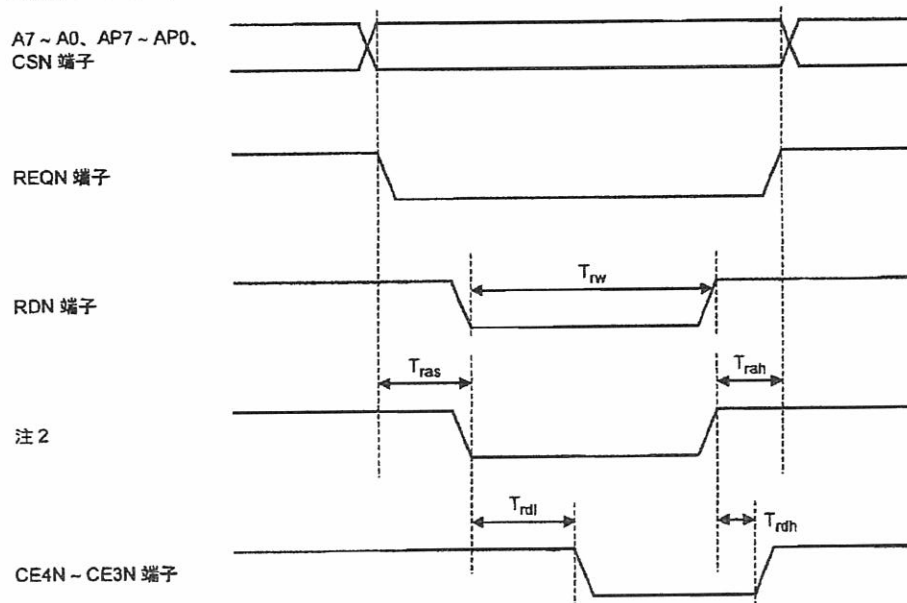
3) モード2

ライト動作タイミング



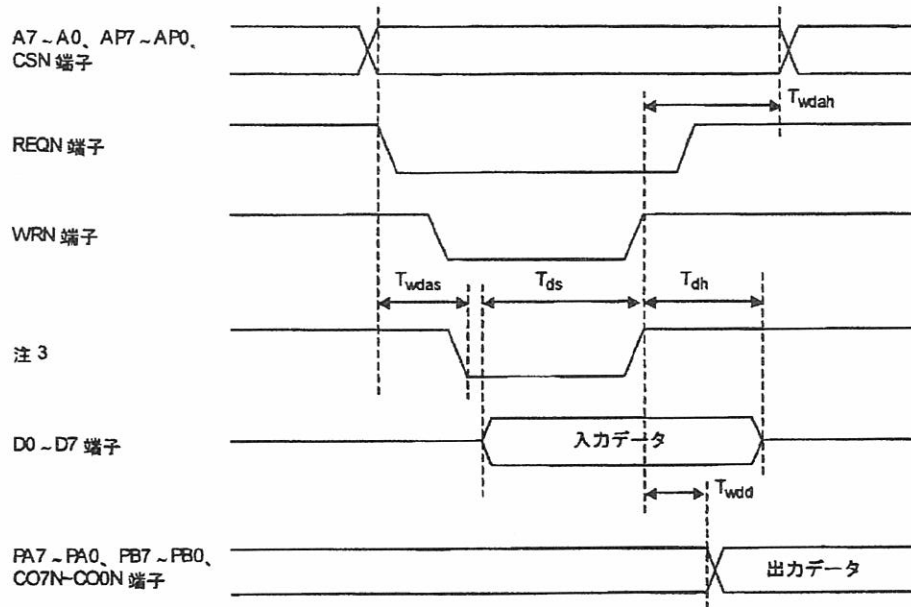
注 1: WRN または REQN のどちらか後に LOW に立ち下がった時点、および WRN または REQN のどちらか先に HIGH に立ち上がった時点を示す信号です。

リード動作タイミング



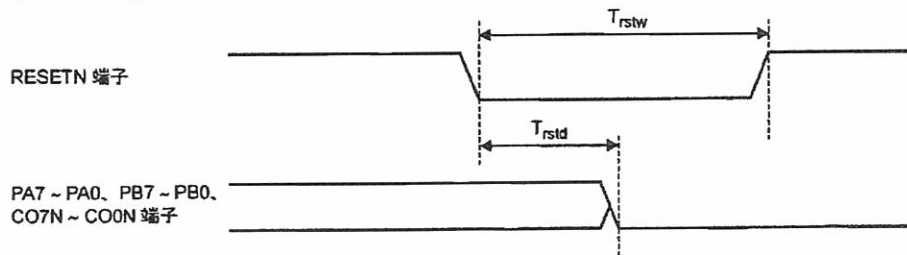
注 2: RDN または REQN のどちらか後に LOW に立ち下がった時点、および RDN または REQN のどちらか先に HIGH に立ち上がった時点を示す信号です。

出力ポートデータタイミング

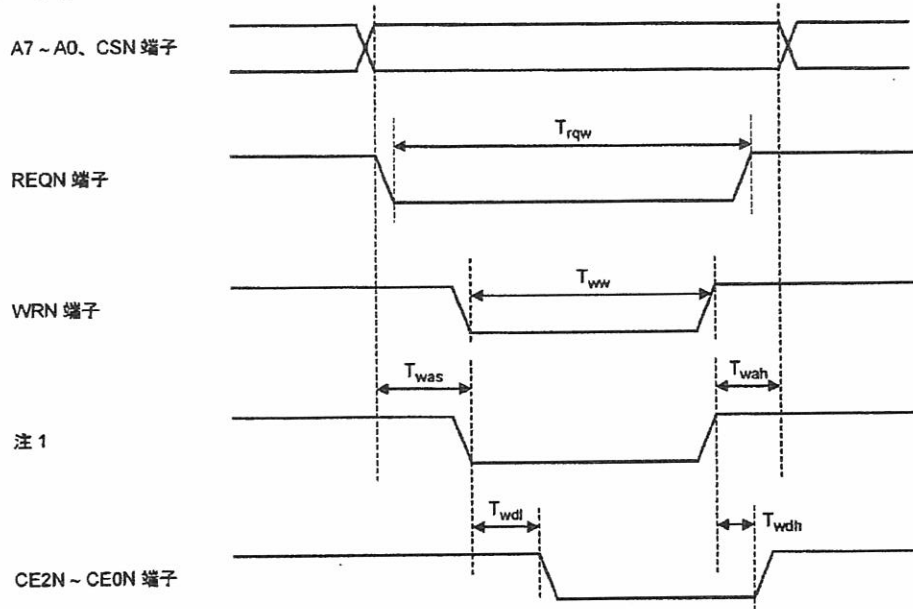


注 3: WRN または REQN のどちらか後に LOW に立ち下がった時点、および WRN または REQN のどちらか先に HIGH に立ち上がった時点を示す信号です。

リセットパルス幅

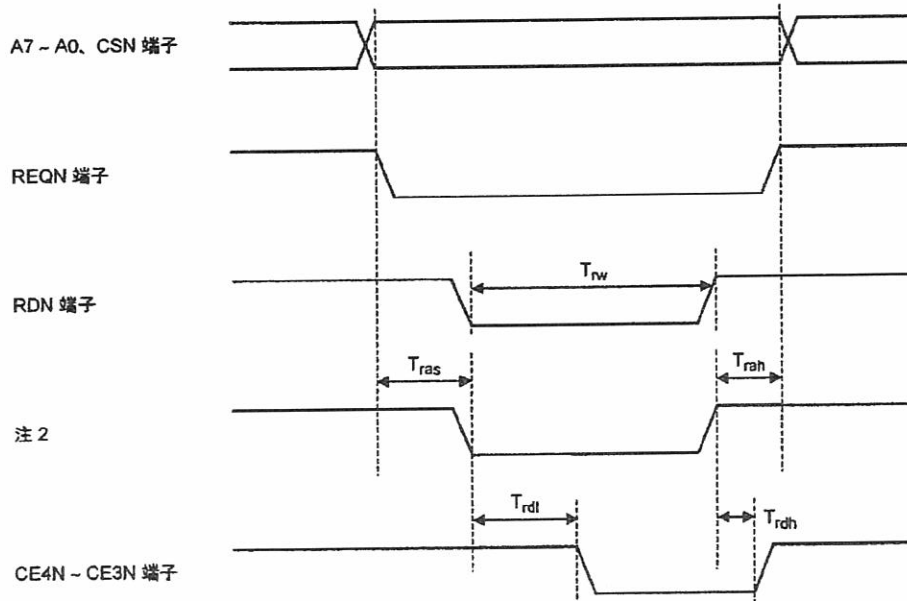


4) モード3
ライト動作タイミング



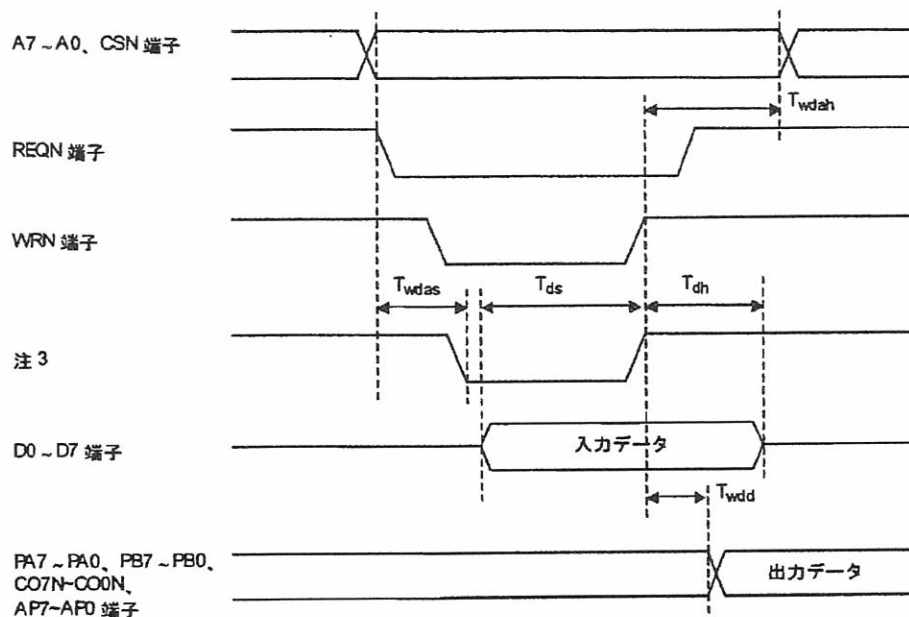
注 1: WRN または REQN のどちらか後に LOW に立ち下がった時点、および WRN または REQN のどちらか先に HIGH に立ち上がった時点を示す信号です。

リード動作タイミング



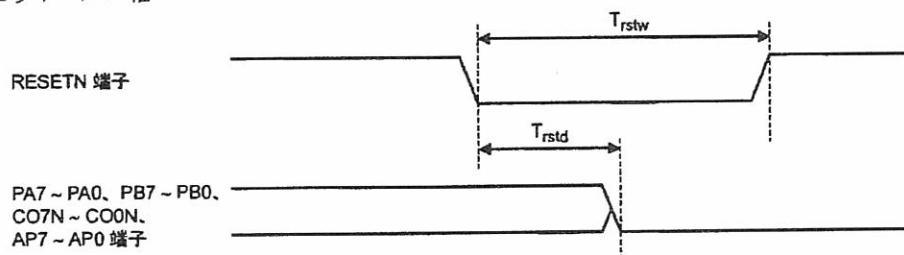
注 2: RDN または REQN のどちらか後に LOW に立ち下がった時点、および RDN または REQN のどちらか先に HIGH に立ち上がった時点を示す信号です。

出力ポートデータタイミング

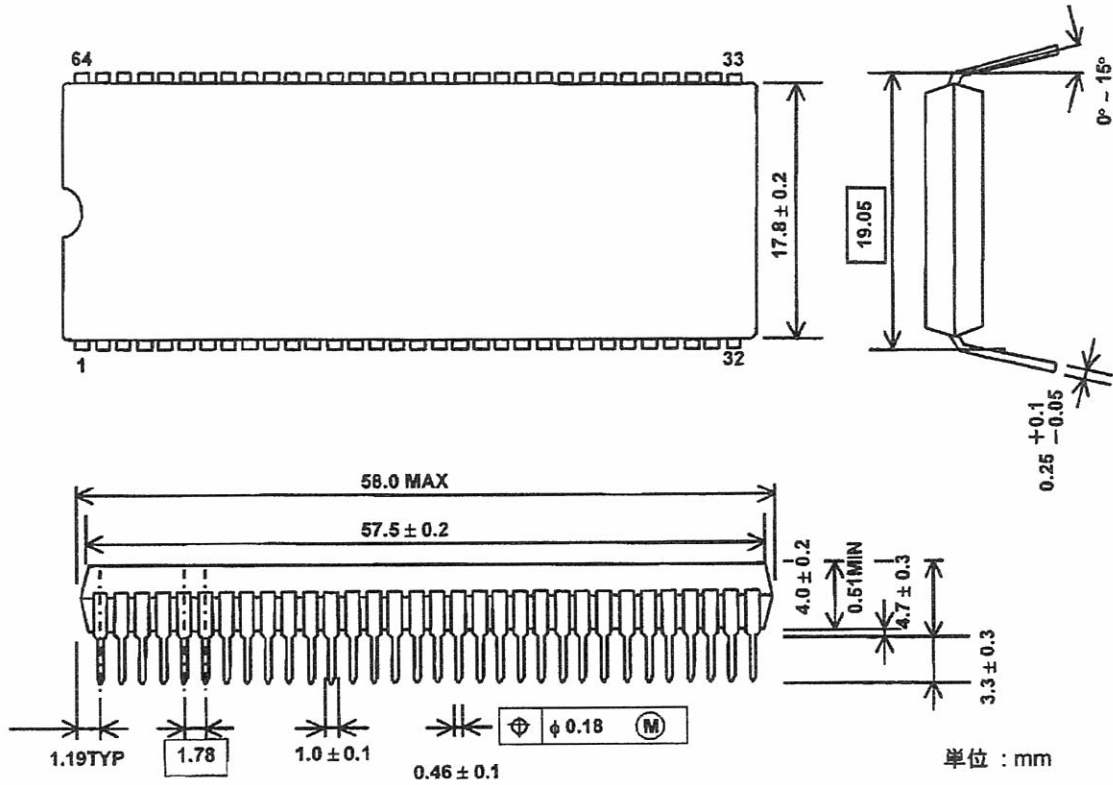


注 3: WRN または REQN のどちらか後に LOW に立ち下がった時点、および WRN または REQN のどちらか先に HIGH に立ち上がった時点を示す信号です。

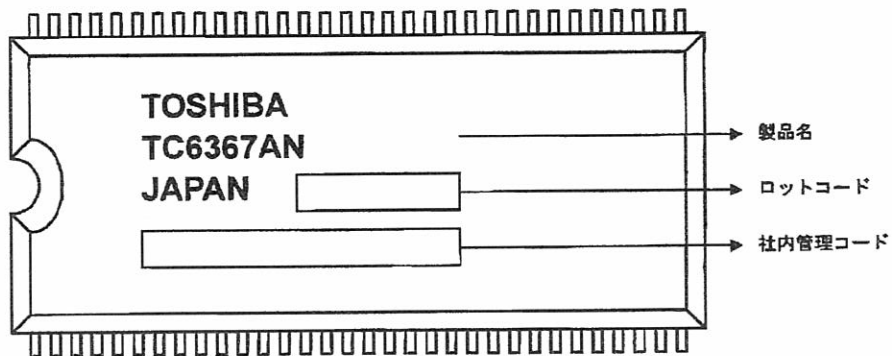
リセットパルス幅



11. パッケージ外形寸法 (SDIP64-P-750-1.778)



12. マーキング関連



マーキング方法は、レーザーまたはインクを使用する。

- リード材質・処理：銅-鉄系合金，リード表面処理：Sn-Bi メッキ

当社半導体製品取り扱い上のお願い

030519TBA

- 当社は品質、信頼性の向上に努めておりますが、一般に半導体製品は誤作動したり故障することがあります。当社半導体製品をご使用いただく場合は、半導体製品の誤作動や故障により、生命・身体・財産が侵害されることのないように、購入者側の責任において、機器の安全設計を行うことをお願いします。
なお、設計に際しては、最新の製品仕様をご確認の上、製品保証範囲内でご使用いただくと共に、考慮されるべき注意事項や条件について「東芝半導体製品の取り扱い上のご注意とお願い」、「半導体信頼性ハンドブック」などでご確認ください。
- 本資料に掲載されている製品は、一般的電子機器（コンピュータ、パーソナル機器、事務機器、計測機器、産業用ロボット、家電機器など）に使用されることを意図しています。特別に高い品質・信頼性が要求され、その故障や誤作動が直接人命を脅かしたり人体に危害を及ぼす恐れのある機器（原子力制御機器、航空宇宙機器、輸送機器、交通信号機器、燃焼制御、医療機器、各種安全装置など）にこれらの製品を使用すること（以下“特定用途”という）は意図もされていませんし、また保証もされていません。本資料に掲載されている製品を当該特定用途に使用することは、お客様の責任でなされることとなります。
- 本資料に掲載されている製品は、外国為替および外国貿易法により、輸出または海外への提供が規制されているものです。
- 本資料に掲載されている技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社および第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
- 本資料に掲載されている製品を、国内外の法令、規則および命令により製造、販売を禁止されている応用製品に使用することはできません。

THD(挿入実装デバイス)の標準実装条件について(鉛フリー実装対応品)

1. 製品名およびパッケージ名称

製品名 : TC6367AN(F,Z)

パッケージ名称 : SDIP64-P-750-1.78

2. 製品の保管について

本製品の保管に際しては以下の項目に対してご注意願います。

- 1) 水漏れの可能性のある場所や直射日光のあたる場所では、保管しないようにして下さい。
- 2) 運搬や保管時は包装箱への注意事項に従ってください。
- 3) 保管場所の周囲環境条件(温度・湿度)は、常温常湿状態(5～35℃、40～75%)を目安として下さい。
- 4) 有毒ガス(特に腐食性ガス)の発生する場所や塵埃の多い所では、保管しないで下さい。
- 5) 温度変化の少ない場所に保管してください。保管時の急激な温度変化は結露が生じ、リードの酸化、腐食等が発生し、はんだ濡れ性が悪くなります。
- 6) デバイスを包装から取り出した後、再び保管する場合、帯電防止処理された収納容器を使用して下さい。
- 7) 保管時はデバイスに直接荷重をかけないようにして下さい。
- 8) 通常の保管形態で2年程度以上が経過した際には、使用前にはんだ付け性の確認をすることを推奨します。

3. 推奨実装条件について

3.1 リフローによる標準実装条件

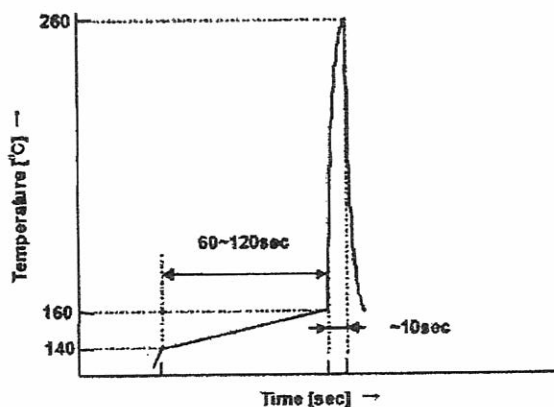
リフローによる実装は推奨しておりません。

3.2 はんだフローによる実装条件

はんだフローによる標準実装条件は、以下の通りと致しております。

- (1) 実装方法 : はんだフロー(シングルウェーブおよびダブルウェーブ)
- (2) プリヒート条件(参考値) : 140~160°C(リード温度)、60~120秒
- (3) フロー条件 : 最高260°C(はんだ槽温度)、10秒以内
(ダブルウェーブの場合は、1次ウェーブ/2次ウェーブの合計を10秒以内として下さい)
- (4) フロー回数 : 1回まで

なお、実装条件における温度につきましては、はんだ槽温度を基準と致しております。
温度プロファイルは耐熱温度の上限を示しており、下図プロファイルの範囲内で実装願います。



東芝標準フロー温度プロファイル

3.3 はんだコテによる標準実装条件

はんだコテによる標準実装条件は、以下の通りと致しております。

- (1) 実装方法 : はんだコテ加熱(リード部)
- (2) 実装条件 : コテ先温度400°C、各リード3秒以内
- (3) 実装回数 : 2回まで

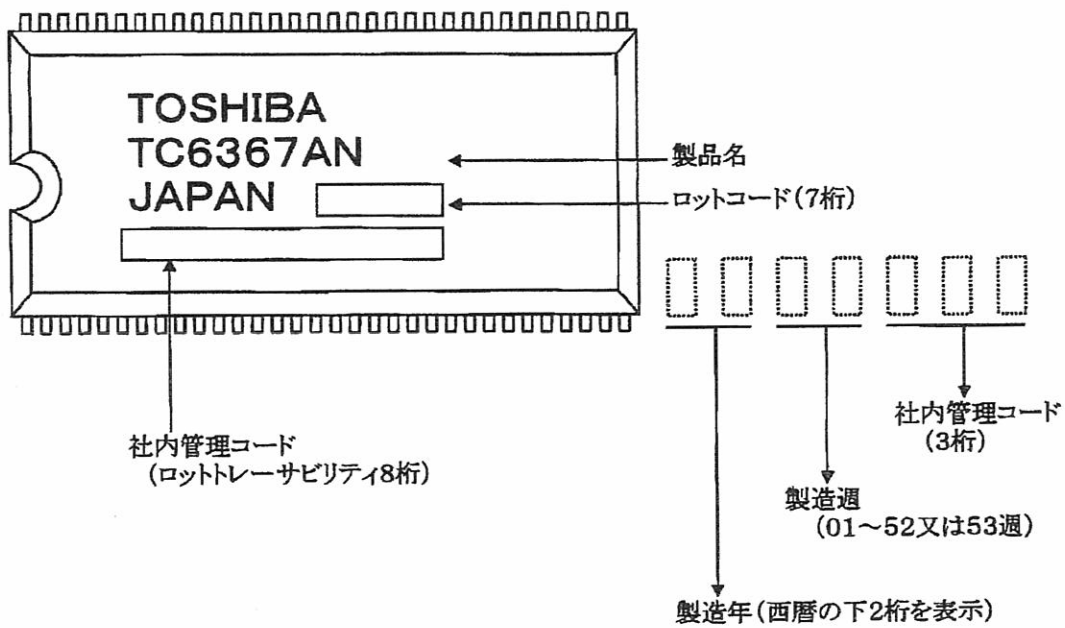
—以上—

平成15年7月28日



製品名 TC6367AN

現品表示



マーキング方法は、レーザを使用する。